

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年7月20日 (20.07.2006)

PCT

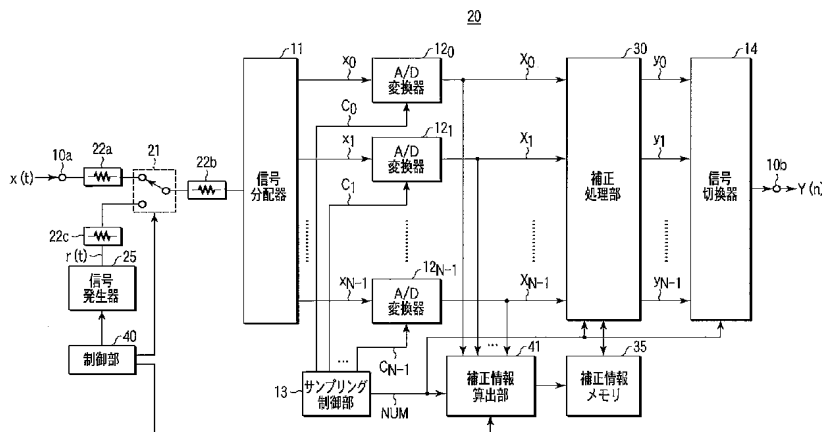
(10) 国際公開番号
WO 2006/075505 A1

- (51) 国際特許分類: *H03M 1/10* (2006.01) *H03M 1/12* (2006.01) 2438555 神奈川県厚木市恩名五丁目1番1号 Kana-gawa (JP).
- (21) 国際出願番号: PCT/JP2005/023676 (72) 発明者; および
- (22) 国際出願日: 2005年12月22日 (22.12.2005) (75) 発明者/出願人 (米国についてののみ): 布施 匡章 (FUSE, Masaaki) [JP/JP]. 関谷 仁志 (SEKIYA, Hitoshi) [JP/JP].
- (25) 国際出願の言語: 日本語 (74) 代理人: 鈴江 武彦, 外 (SUZUYE, Takehiko et al.); 〒1050001 東京都港区虎ノ門1丁目12番9号 鈴榮特許総合事務所内 Tokyo (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2005-004455 2005年1月11日 (11.01.2005) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
- (71) 出願人 (米国を除く全ての指定国について): アンリツ株式会社 (ANRITSU CORPORATION) [JP/JP]; 〒

[続葉有]

(54) Title: ANALOG-TO-DIGITAL CONVERTER DEVICE OF IMPROVED TIME INTERLEAVING TYPE, AND HIGH-SPEED SIGNAL PROCESSING SYSTEM USING THE DEVICE

(54) 発明の名称: 改良された時間インタリーブ方式のアナログーデジタル変換装置及びそれを用いる高速信号処理システム



- 25.. SIGNAL GENERATOR
40.. CONTROL UNIT
11.. SIGNAL DISTRIBUTOR
13.. SAMPLING CONTROL UNIT
120.. A/D CONVERTER
121.. A/D CONVERTER
12N-1.. A/D CONVERTER
41.. CORRECTION INFORMATION CALCULATION UNIT
30.. CORRECTION PROCESSING UNIT
35.. CORRECTION INFORMATION MEMORY
14.. SIGNAL SWITCH

(57) Abstract: An A/D converter device of time interleaving type stores a correction information memory in advance with correction information necessary for correcting an error between the individual signals which are outputted by an N-number of A/D converters. In order to acquire data necessary for a correction processing for a short time period, a signal generator inputs a calibration signal, which has a plurality of signal components individually positioned at desired frequencies within a band having an upper limit of N/2 times as high as the frequency (F_s) of a sampling clock fed to each of the N-number of A/D converters and appearing in different frequencies within a band having an upper limit of one half of the frequency (F_s) of the sampling clock, to the N-number of A/D converters. A correction information calculation unit determines the amplitude and phase of the plural signal components by subjecting the calibration signal to a spectral analysis with respect to the A/D

converted signals outputted by the N-number of A/D converters, with respect to the correction signal, and determines the correction information newly on the basis of the amplitude and phase, thereby to update the contents of the correction information memory with the correction information newly determined.

(57) 要約: 時間インタリーブ方式のA/D変換装置は、予め、複数N個のA/D変換器が出力する各信号間の誤差を補正するために必要な補正情報を補正情報メモリに記憶しておく。この際、短時間に補正処理に必要なデータを取得できるようにするため、信号発生器から、前記複数N個のA/D変換器にそれぞれ与えられる

[続葉有]

WO 2006/075505 A1



ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

前記サンプリングクロックの周波数 F_s の $N/2$ 倍を上限とする帯域内の所望の周波数にそれぞれ位置する複数の信号成分であって、前記各 A/D 変換器のサンプリングによって前記サンプリングクロックの周波数 F_s の $1/2$ を上限とする帯域内に互いに異なる周波数で現れる前記複数の信号成分を含む前記較正用信号として前記複数の N 個の A/D 変換器に入力させる。補正情報算出部は、前記較正用信号に対して前記複数の N 個の A/D 変換器が出力する A/D 変換信号に対するスペクトラム解析処理を行うことにより、複数の信号成分の振幅と位相を求め、その振幅と位相に基づいて、前記補正情報を新たに求め、当該新たに求めた補正情報により前記補正情報メモリの内容を更新する。

明 細 書

改良された時間インタリーブ方式のアナログーデジタル変換装置及びそれを用いる高速信号処理システム

技術分野

[0001] 本発明は改良された時間インタリーブ方式のアナログーデジタル(A/D)変換装置及びそれを用いる信号処理システムに係り、特に、時間インタリーブ方式のA/D変換装置において、較正(calibration)に必要な情報を短時間に取得できるようにするための技術を採用した高速処理対応のA/D変換装置及びそれを用いる高速信号処理システムに関する。

背景技術

[0002] 近時、高速信号処理システムの一つとして、広帯域のアナログ信号をサンプリングしてデジタル信号列に変換し、スペクトラムアナライジング等の各種の信号処理を高速に行なうことを可能とするスペクトラムアナライザ等の実現が検討されている。

[0003] このような高速信号処理システムでは、単に、既存のA/D変換器を用いただけでは高速処理対応性に限界がある。

[0004] このため、既存のA/D変換器を複数用いて時間インタリーブ方式でA/D変換を行うことにより、等価的に、高速処理対応を可能とする時間インタリーブ方式のA/D変換装置を採用することが考えられている。

[0005] 図23は、従来より知られている時間インタリーブ方式のA/D変換装置10の基本構成を示すブロック図である。

[0006] 図24は、図23のA/D変換装置10の動作を説明するために示すタイミングチャートである。

[0007] すなわち、この従来の時間インタリーブ方式のA/D変換装置10では、入力端子10aに図24の(a)に示すようなアナログの入力信号 $x(t)$ が入力される。

[0008] このアナログの入力信号 $x(t)$ は、信号分配器11によって複数 N 本の信号経路に分歧された後、それぞれ、後述するサンプリング制御部13によって制御される N 個のA/D変換器 $12_0 \sim 12_{N-1}$ に対応的に入力されることにより、複数のデジタル信号列 X_0

～ X_{N-1} に変換される。

- [0009] この複数のデジタル信号列 $X_0 \sim X_{N-1}$ は、後述するサンプリング制御部13によって制御される信号切換器14にそれぞれ入力される。
- [0010] ここで、サンプリング制御部13は、内部で生成される図24の(b1)～(bN)に示すようなN個のクロック $C_0 \sim C_{N-1}$ 、すなわち、それぞれが周期 T_s を持ち、位相が T_s/N ずつシフトされたサンプリング用のN個のクロック $C_0 \sim C_{N-1}$ をそれぞれN個のA/D変換器 $12_0 \sim 12_{N-1}$ に対応的に供給する。
- [0011] また、サンプリング制御部13は、内部で生成される図24の(d)に示すように各A/D変換器 $12_0 \sim 12_{N-1}$ のうちサンプリングを行うA/D変換器を指定する指定信号ADNUM(0～N-1)を信号切換器14に与える。
- [0012] この指定信号ADNUM(0～N-1)は、信号切換器14において複数のデジタル信号列 $X_0 \sim X_{N-1}$ を順次選択的に切り換えて出力端10bに出力するための切り換え信号である。
- [0013] そして、各A/D変換器 $12_0 \sim 12_{N-1}$ は、サンプリング制御部13からのクロック $C_0 \sim C_{N-1}$ をそれぞれ受けたタイミングにおけるアナログの入力信号 $x(t)$ の各入力値 $x(P)$ 、 $x(P+1)$ 、 $x(P+2)$ 、…をサンプリングして、図24の(c1)～(cN)に示すようなデジタル値 $X_{0,P}$ 、 $X_{1,P+1}$ 、 $X_{2,P+2}$ 、…に変換している。
- [0014] これらの各サンプル値 $X_{0,P}$ 、 $X_{1,P+1}$ 、 $X_{2,P+2}$ 、…は、それぞれ信号切換器14に出力される。
- [0015] 信号切換器14は、各A/D変換器 $12_0 \sim 12_{N-1}$ のうち、サンプリング制御部13からの指定信号ADNUMで指定されたA/D変換器 $12_0 \sim 12_{N-1}$ から出力されるサンプル値 $X_{0,P}$ 、 $X_{1,P+1}$ 、 $X_{2,P+2}$ 、…を順次選択して、図24の(e)に示すように、サンプル値がそのサンプリング順に並んだデジタル信号列 $Y(n)$ を出力端子10bに出力する。
- [0016] このようにして得られるデジタル信号列 $Y(n)$ は、入力信号 $x(t)$ をクロック周期 T_s の $1/N$ の周期 T_s' でサンプリングして得られるものと等価となる。
- [0017] したがって、この時間インタリーブ方式のA/D変換装置10は、低速なA/D変換器 $12_0 \sim 12_{N-1}$ を使用しながら、高速なサンプリングを行うことができる。
- [0018] ところが、上記従来の時間インタリーブ方式のA/D変換装置10では、得られたサ

ンプル値を信号処理システムで信号処理した結果に誤差を発生させるという問題がある。

- [0019] この問題は、入力信号 $x(t)$ を複数のA/D変換器 $12_0 \sim 12_{N-1}$ に分配入力する際、信号分配器12自身の分配特性や分配経路の周波数特性の違い及び各A/D変換器 $12_0 \sim 12_{N-1}$ の周波数特性の違いによって、結果的に各A/D変換器 $12_0 \sim 12_{N-1}$ の出力に誤差が生じてしまうことに起因している。
- [0020] また、上記問題は、各A/D変換器 $12_0 \sim 12_{N-1}$ のサンプリングタイミングを決定するクロックに関しても、その信号経路長の差、各A/D変換器 $12_0 \sim 12_{N-1}$ のサンプリングクロックに対する遅延特性の差等によって、結果的に各A/D変換器 $12_0 \sim 12_{N-1}$ の出力に誤差が生じてしまうことに起因している。
- [0021] したがって、信号処理システムで高いA/D変換精度が要求される場合、上記従来の時間インタリーブ方式のA/D変換装置10では、上記各誤差を補正する必要がある。
- [0022] この補正は、上記従来の時間インタリーブ方式のA/D変換装置10に較正用信号を入力して補正情報を求めることにより、補正処理を行うようにすればよい。
- [0023] 具体的には、較正用信号が入力された状態で、各A/D変換器の出力データを取得し、そのデータあるいはそのデータに対する処理結果を比較することにより、予め、入力経路を含む各A/D変換器の変換特性を等しくするために必要な補正情報を求めておく。
- [0024] そして、上記従来の時間インタリーブ方式のA/D変換装置10にA/D変換対象の信号が入力された状態で、各A/D変換器の出力に対して前記補正情報に基づいて補正処理を行う。
- [0025] このような補正処理を行うために、例えば、特許文献1に補正に必要な情報を求める技術が開示されている。
- [0026] すなわち、この技術は、上記従来の時間インタリーブ方式のA/D変換装置に内蔵された信号発生器から出力される正弦波信号と、入力端子から入力される変換対象のアナログ信号のいずれかをスイッチで選択して複数のA/D変換器へ入力できるように構成されている。

[0027] そして、この技術では、校正時に、信号発生器の出力信号を複数のA/D変換器へ入力し、その出力データから補正に必要な情報を求めている。

特許文献1:特開平6-152410号公報

発明の開示

[0028] しかしながら、上記特許文献1のように、正弦波信号(つまり、単一周波数の信号)を校正用信号として用いて、各A/D変換器の特性を調べる場合、校正用信号の周波数を順次変更してその都度データを取得してそれらの出力データから補正に必要な情報を求めなければならない。

[0029] したがって、上記特許文献1による技術では、その補正に必要な情報を求めている間は、変換対象のアナログ信号をデジタル信号に変換処理を行うことができないという問題がある。

[0030] 特に、時間インタリーブ方式のA/D変換装置を用いて信号監視処理を定常的に行う信号処理システムで、環境変化の影響を受けやすい状況にある場合、補正処理を頻繁に行う必要があり、その都度、本来の監視処理を長時間停止させることは極めて不利となる。

[0031] 本発明の目的は、上述したような従来技術の問題を解決し、短時間に補正に必要なデータを取得できるように改良された時間インタリーブ方式のA/D変換装置及びそれを用いる高速信号処理システムを提供することである。

[0032] 本発明の第1の態様によれば、上記目的を達成するために、
被測定信号 $x(t)$ を入力するための入力端子(10a)と、
校正用信号 $r(t)$ を発生する信号発生器(25)と、
複数N個のアナログーデジタル(A/D)変換器(12)と、
前記入力端子から入力される前記被測定信号と前記信号発生器から出力される前記校正用信号のいずれかを選択するスイッチ(21)と、
前記スイッチによって選択された信号を複数N個に分配して前記複数N個のA/D変換器にそれぞれ入力させる信号分配器(11)と、
前記複数N個のA/D変換器に対し、周期 T_s で且つ位相が T_s/N ずつシフトしたサンプリングクロックをそれぞれ与えるサンプリング制御部(13、13')と、

前記入力端子への入力から前記複数N個のA/D変換器での変換処理までの、振幅の周波数特性及び位相の周波数特性の少なくとも一つに差異があることによって生じる、前記複数N個のA/D変換器が出力する各信号間の誤差を補正するために必要な補正情報を記憶する補正情報メモリ(35)と、

前記被測定信号を受けて前記複数N個のA/D変換器が出力する各信号に対し、前記補正情報メモリに記憶されている前記補正情報により補正処理を行う補正処理部(30)と、

前記信号発生器から出力される前記所定の較正用信号を受けて前記複数N個のA/D変換器が出力する各信号についてスペクトラム解析処理を行って前記複数の信号成分の振幅と位相を算出し、当該算出した結果に基づいて前記補正情報を新たに求め、当該新たに求めた補正情報により前記補正情報メモリの内容を更新する補正情報算出部(41)と、

を具備し、

前記信号発生器は、前記複数N個のA/D変換器にそれぞれ与えられる前記サンプリングクロックの周波数 F_s の $N/2$ 倍を上限とする帯域内の所望の周波数にそれぞれ位置する複数の信号成分であって、前記各A/D変換器のサンプリングによって前記サンプリングクロックの周波数 F_s の $1/2$ を上限とする帯域内に互いに異なる周波数で現れる前記複数の信号成分を含む前記較正用信号を出力するように構成されていることを特徴とする時間インタリーブ方式のA/D変換装置が提供される。

[0033] また、本発明の第2の態様によれば、上記目的を達成するために、

前記信号発生器は、前記サンプリングクロックの周波数 F_s の $N/2$ 倍を上限とする帯域内の前記複数の信号成分を基本波成分と所定次数までの高調波成分とで構成するパルス信号であって、当該パルス信号の高調波成分のうち前記所定次数より高次の高調波成分と、前記複数の信号成分とが、前記各A/D変換器のサンプリングによって前記サンプリングクロックの周波数 F_s の $1/2$ を上限とする帯域内の同一周波数で重なる場合に、該重なった成分同士のパワー比を予め定めた値以下にしたパルス信号を、前記較正用信号として出力することを特徴とする第1の態様に従うA/D変換装置が提供される。

[0034] また、本発明の第3の態様によれば、上記目的を達成するために、

前記信号発生器は、前記サンプリングクロックの周波数 F_s の $N/2$ 倍を上限とする帯域内で且つ互いに異なる周波数の正弦波信号を発生する複数の正弦波発生器(26)と、該複数の正弦波発生器の出力信号を加算合成する加算合成器(27)とにより構成されていることを特徴とする第1の態様に従うA/D変換装置が提供される。

[0035] また、本発明の第4の態様によれば、上記目的を達成するために、

前記補正情報算出部は、前記スペクトラム解析によって得られた前記複数の信号成分の振幅と位相に基づき、前記複数の N 個のA/D変換器の1つを基準のA/D変換器とし、前記入力端子から前記複数の N 個のA/D変換器の各出力端子までのそれぞれの周波数特性と前記基準のA/D変換器の周波数特性との差の特性を満たすインパルス応答を有するフィルタの係数を前記補正情報として算出して、前記補正情報メモリ内のAD特性テーブル (36)に記憶するように構成され、

前記補正処理部は、前記被測定信号に対して前記複数の N 個のA/D変換器から出力される各サンプル値および前記AD特性テーブルに記憶されている係数に基づいて、前記サンプリングクロックを受けたA/D変換器がサンプル値を更新するタイミングに他のA/D変換器が変換処理を行ったと仮定して得られるサンプル値を推定する推定デバイス(31)が設けられていることを特徴とする第1の態様に従うA/D変換装置が提供される。

[0036] また、本発明の第5の態様によれば、上記目的を達成するために、

前記補正情報算出部は、前記スペクトラム解析によって得られた前記複数の信号成分の振幅と位相に基づき、前記基準のA/D変換器の周波数特性と前記複数の N 個のA/D変換器の残りのA/D変換器の周波数特性の差をそれぞれ相殺する周波数特性を満たすインパルス応答を有するフィルタの係数を前記補正情報として算出して、前記補正情報メモリ内のイコライザ係数テーブル(37)に記憶するように構成され、

前記補正処理部には、前記推定デバイスとして前記A/D変換器毎にそれぞれ設けられている複数の推定デバイス($31_0 \sim 31_{N-1}$)と、前記複数の推定デバイスから出力される各サンプル値に対して、前記イコライザ係数テーブルに記憶されている係数

に基づくフィルタリングをそれぞれ行って、誤差補正されたサンプル値をそれぞれ出力する複数のイコライザ(32)とが設けられていることを特徴とする第4の態様に従うA/D変換装置が提供される。

[0037] また、本発明の第6の態様によれば、上記目的を達成するために、
前記入力端子と前記スイッチとの間、前記信号発生器と前記スイッチとの間及び前記信号分配器と前記スイッチとの間の少なくとも一つに挿入されている複数の減衰器(22a～22c)をさらに具備することを特徴とする第1の態様に従うA/D変換装置が提供される。

[0038] また、本発明の第7の態様によれば、上記目的を達成するために、
前記スイッチと連動する第2のスイッチ(23)と、前記第2のスイッチに接続される終端器(24)とをさらに具備し、
前記スイッチにより前記較正用信号を選択する際に、前記第2のスイッチを閉じて、前記入力端子から入力され前記被測定信号を前記終端器で終端可能とするように構成されることを特徴とする第6の態様に従うA/D変換装置が提供される。

[0039] また、本発明の第8の態様によれば、上記目的を達成するために、
前記被測定信号を受けて前記複数N個のA/D変換器がそれぞれ前記サンプリングクロックに基づくサンプリングによって出力する各出力信号をサンプリング順に並んだデジタル信号列(Y(n))に合成して出力可能とする信号合成手段(14, 10b)をさらに具備することを特徴とする第1の態様に従うA/D変換装置が提供される。

[0040] また、本発明の第9の態様によれば、上記目的を達成するために、
前記信号合成手段として、前記デジタル信号列を出力するための出力端子(10b)と、前記被測定信号を受けて前記複数N個のA/D変換器がそれぞれ前記サンプリングクロックに基づくサンプリングによって出力する各出力信号を順次選択的に切り換えて前記出力端子に出力する信号切換器(14)とをさらに具備し、
前記サンプリング制御部は、前記複数N個のA/D変換器がそれぞれ出力する各出力信号を前記信号切換器によって順次選択的に切り換えて出力するために、前記複数N個のA/D変換器のうちサンプリングを行ったA/D変換器を指定する指定信号を前記信号切換器に与えることにより、前記信号切換器からサンプリング順に並

んだデジタル信号列($Y(n)$)に合成して前記出力端子に出力可能とすることを特徴とする第8の態様に従うA/D変換装置が提供される。

[0041] また、本発明の第10の態様によれば、上記目的を達成するために、外部からの指示あるいは予め決められたタイムスケジュールに従う較正処理要求に応じて、前記スイッチを前記信号発生器側に接続して、前記較正用信号を前記信号分配器へ入力させるための制御部(40)をさらに具備することを特徴とする第9の態様に従うA/D変換装置が提供される。

[0042] また、本発明の第11の態様によれば、上記目的を達成するために、時間インタリーブ方式のアナログーデジタル(A/D)変換装置(20)と、前記時間インタリーブ方式のA/D変換装置からのA/D変換出力信号に対して所定の信号処理を実行する信号処理装置(100)と、を具備する高速信号処理システムであって、前記時間インタリーブ方式のA/D変換装置が、被測定信号 $x(t)$ を入力するための入力端子(10a)と、較正用信号 $r(t)$ を発生する信号発生器(25)と、複数N個のA/D変換器(12)と、前記入力端子から入力される前記被測定信号と前記信号発生器から出力される前記較正用信号のいずれかを選択するスイッチ(21)と、前記スイッチによって選択された信号を複数N個に分配して前記複数N個のA/D変換器にそれぞれ入力させる信号分配器(11)と、前記複数N個のA/D変換器に対し、周期 T_s で且つ位相が T_s/N ずつシフトしたサンプリングクロックをそれぞれ与えるサンプリング制御部(13、13')と、前記入力端子への入力から前記複数N個のA/D変換器での変換処理までの、振幅の周波数特性及び位相の周波数特性の少なくとも一つに差異があることによって生じる、前記複数N個のA/D変換器が出力する各信号間の誤差を補正するために必要な補正情報を記憶する補正情報メモリ(35)と、前記被測定信号を受けて前記複数N個のA/D変換器が出力する各信号に対し、前記補正情報メモリに記憶されている前記補正情報により補正処理を行う補正処理

部(30)と、前記信号発生器から出力される前記所定の較正用信号を受けて前記複数 N 個のA/D変換器が出力する各信号についてスペクトラム解析処理を行って前記複数の信号成分の振幅と位相を算出し、当該算出した結果に基づいて前記補正情報を新たに求め、当該新たに求めた補正情報により前記補正情報メモリの内容を更新する補正情報算出部(41)と、

を具備し、

前記信号発生器は、前記複数 N 個のA/D変換器にそれぞれ与えられる前記サンプリングクロックの周波数 F_s の $N/2$ 倍を上限とする帯域内の所望の周波数にそれぞれ位置する複数の信号成分であって、前記各A/D変換器のサンプリングによって前記サンプリングクロックの周波数 F_s の $1/2$ を上限とする帯域内に互いに異なる周波数で現れる前記複数の信号成分を含む前記較正用信号を出力するように構成されていることを特徴とする高速信号処理システムが提供される。

[0043] また、本発明の第12の態様によれば、上記目的を達成するために、

前記時間インタリーブ方式のA/D変換装置の前記信号発生器は、前記サンプリングクロックの周波数 F_s の $N/2$ 倍を上限とする帯域内の前記複数の信号成分を基本波成分と所定次数までの高調波成分とで構成するパルス信号であって、当該パルス信号の高調波成分のうち前記所定次数より高次の高調波成分と、前記複数の信号成分とが、前記各A/D変換器のサンプリングによって前記サンプリングクロックの周波数 F_s の $1/2$ を上限とする帯域内の同一周波数で重なる場合に、該重なった成分同士のパワー比を予め定めた値以下にしたパルス信号を、前記較正用信号として出力することを特徴とする第11の態様に従う高速信号処理システムが提供される。

[0044] また、本発明の第13の態様によれば、上記目的を達成するために、

前記時間インタリーブ方式のA/D変換装置の前記信号発生器は、前記サンプリングクロックの周波数 F_s の $N/2$ 倍を上限とする帯域内で且つ互いに異なる周波数の正弦波信号を発生する複数の正弦波発生器(26)と、該複数の正弦波発生器の出力信号を加算合成する加算合成器(27)とにより構成されていることを特徴とする第11の態様に従う高速信号処理システムが提供される。

[0045] また、本発明の第14の態様によれば、上記目的を達成するために、

前記時間インタリーブ方式のA/D変換装置の前記補正情報算出部は、前記スペクトラム解析によって得られた前記複数の信号成分の振幅と位相に基づき、前記複数のA/D変換器の1つを基準のA/D変換器とし、前記入力端子から前記複数のA/D変換器の各出力端子までのそれぞれの周波数特性と前記基準のA/D変換器の周波数特性との差の特性を満たすインパルス応答を有するフィルタの係数を前記補正情報として算出して、前記補正情報メモリ内のAD特性テーブル(36)に記憶するように構成され、

前記A/D変換装置の前記補正処理部は、前記被測定信号に対して前記複数のA/D変換器から出力される各サンプル値及び前記AD特性テーブルに記憶されている係数に基づいて、前記サンプリングクロックを受けたA/D変換器がサンプル値を更新するタイミングに他のA/D変換器が変換処理を行ったと仮定して得られるサンプル値を推定する推定デバイス(31)が設けられていることを特徴とする第11の態様に従う高速信号処理システムが提供される。

[0046] また、本発明の第15の態様によれば、上記目的を達成するために、

前記時間インタリーブ方式のA/D変換装置の前記補正情報算出部は、前記スペクトラム解析によって得られた前記複数の信号成分の振幅と位相に基づき、前記基準のA/D変換器の周波数特性と前記複数のA/D変換器の残りのA/D変換器の周波数特性の差をそれぞれ相殺する周波数特性を満たすインパルス応答を有するフィルタの係数を前記補正情報として算出して、前記補正情報メモリ内のイコライザ係数テーブル(37)に記憶するように構成され、

前記時間インタリーブ方式のA/D変換装置の前記補正処理部には、前記推定デバイスとして前記A/D変換器毎にそれぞれ設けられている複数の推定デバイス($31_0 \sim 31_{N-1}$)と、前記複数の推定デバイスから出力される各サンプル値に対して、前記イコライザ係数テーブルに記憶されている係数に基づくフィルタリングをそれぞれ行って、誤差補正されたサンプル値をそれぞれ出力する複数のイコライザ(32)とが設けられていることを特徴とする第14の態様に従う高速信号処理システムが提供される。

[0047] また、本発明の第16の態様によれば、上記目的を達成するために、

前記時間インタリーブ方式のA/D変換装置は、前記入力端子と前記スイッチとの間、前記信号発生器と前記スイッチとの間及び前記信号分配器と前記スイッチとの間の少なくとも一つに挿入されている減衰器(22a~22c)をさらに具備することを特徴とする第11の態様に従う高速信号処理システムが提供される。

[0048] また、本発明の第17の態様によれば、上記目的を達成するために、

前記時間インタリーブ方式のA/D変換装置は、前記スイッチと連動する第2のスイッチと、前記第2のスイッチに接続される終端器とをさらに具備し、

前記スイッチにより前記較正用信号を選択する際に、前記第2のスイッチを閉じて、前記入力端子から入力され前記被測定信号を前記終端器で終端可能とすることを特徴とする第16の態様に従う高速信号処理システムが提供される。

[0049] また、本発明の第18の態様によれば、上記目的を達成するために、

前記時間インタリーブ方式のA/D変換装置は、前記被測定信号を受けて前記複数N個のA/D変換器がそれぞれ前記サンプリングクロックに基づくサンプリングによって出力する各出力信号をサンプリング順に並んだデジタル信号列(Y(n))に合成して出力可能とする信号合成手段(14, 10b)をさらに具備する第11の態様に従う高速信号処理システムが提供される。

[0050] また、本発明の第19の態様によれば、上記目的を達成するために、

前記時間インタリーブ方式のA/D変換装置の前記信号合成手段は、前記デジタル信号列を出力するための出力端子(10b)と、前記被測定信号を受けて前記複数N個のA/D変換器がそれぞれ前記サンプリングクロックに基づくサンプリングによって出力する各出力信号を順次選択的に切り換えて前記出力端子に出力する信号切換器(14)とを具備し、

前記時間インタリーブ方式のA/D変換装置の前記サンプリング制御部は、前記複数N個のA/D変換器がそれぞれ出力する各出力信号を前記信号切換器によって順次選択的に切り換えて出力するために、前記複数N個のA/D変換器のうちサンプリングを行ったA/D変換器を指定する指定信号を前記信号切換器に与えることにより、前記信号切換器からサンプリング順に並んだデジタル信号列(Y(n))に合成して前記出力端子に出力可能とすることを特徴とする第18の態様に従う高速信号処

理システムが提供される。

- [0051] また、本発明の第20の態様によれば、上記目的を達成するために、
前記時間インタリーブ方式のA/D変換装置は、外部からの指示あるいは予め決められたタイムスケジュールに従う較正処理要求に応じて、前記スイッチを前記信号発生器側に接続して、前記較正用信号を前記信号分配器へ入力させるための制御部(40)をさらに具備することを特徴とする第19の態様に従う高速信号処理システムが提供される。
- [0052] また、本発明の第21の態様によれば、上記目的を達成するために、
前記信号処理装置が、
前記時間インタリーブ方式のA/D変換装置から出力される前記A/D変換出力信号を蓄えるメモリ(101)と、
前記メモリに蓄えられている前記A/D変換出力信号について所定の信号解析処理を行う解析処理部(102)と、
前記信号処理装置が前記所定の信号解析処理を行っている期間に、較正処理要求を前記A/D変換装置に与えて前記A/D変換装置に対して較正処理のためのA/D変換及びそれに続く前記補正情報の算出と更新を行わせるとともに、前記A/D変換装置からの前記補正情報の更新の終了を受けて前記A/D変換装置に対して前記被測定信号のA/D変換処理可能な状態に設定するシステム制御部(103)とを具備することを特徴とする第11の態様に従う高速信号処理システムが提供される。
。
- [0053] なお、第4の態様によるA/D変換装置は、第2、第3の態様にも適用できる。
- [0054] また、第8の態様によるA/D変換装置は、第2乃至第5の態様にも適用できる。
- [0055] また、第14の態様による高速信号処理システムは、第12、第13の態様にも適用できる。
- [0056] また、第18の態様による高速信号処理システムは、第12乃至第15の態様にも適用できる。
- [0057] 以上のように構成される本発明による時間インタリーブ方式のA/D変換装置では、サンプリング周波数 F_s の $N/2$ 倍を上限とする帯域内に所定の周波数間隔で存在

し、且つ各A/D変換器のサンプリングにより周波数 F_s の $1/2$ を上限とする帯域内に現れたときの周波数が互いに異なる複数の信号成分を含む信号を、校正用信号として入力し、その校正用信号に対して各A/D変換器が出力する信号に対するスペクトラム解析処理を行い、複数の信号成分の振幅と位相を求め、その振幅と位相に基づいて、補正処理に必要な情報を求めて更新するようにしている。

[0058] このため、本発明による時間インタリーブ方式のA/D変換装置では、従来のように単一周波数の正弦波信号を校正用信号とする技術に比べて、短時間に補正に必要な情報を得ることができ、入力信号に対する変換処理を長期間停止させることなく、校正処理を行うことができる。

[0059] また、以上のように構成される本発明によるA/D変換装置を用いる高速信号処理システムでは、時間インタリーブ方式のA/D変換装置20と、この時間インタリーブ方式のA/D変換装置20からのA/D変換出力信号に対して所定の信号処理を実行する信号処理装置100とを備えている。

[0060] このため、本発明によるA/D変換装置を用いる高速信号処理システムでは、信号処理装置が解析処理を行っている間に、A/D変換装置のための校正用信号を入力して補正に必要な補正情報を求めて更新させることができ、常に、高い精度で被測定信号に対するA/D変換処理を行うことができるので、高速信号処理システムとしての高速処理性が確保される。

図面の簡単な説明

[0061] [図1]図1は、本発明の第1実施形態によるA/D変換装置の構成を説明するために示すブロック図である。

[図2]図2は、図1のA/D変換装置の要部の変形例の構成を説明するために示すブロック図である。

[図3A]図3Aは、図1のA/D変換装置に用いられる校正用信号のスペクトラム例を説明するために示す図である。

[図3B]図3Bは、図1のA/D変換装置に用いられる校正用信号のスペクトラム例を説明するために示す図である。

[図4]図4は、図1のA/D変換装置の要部の具体的な構成を説明するために示すブ

ロック図である。

[図5A]図5Aは、図1のA/D変換装置に用いられる較正用信号の波形とスペクトラムを説明するために示す図である。

[図5B]図5Bは、図1のA/D変換装置に用いられる較正用信号の波形とスペクトラムを説明するために示す図である。

[図6]図6は、図1のA/D変換装置に用いられる較正用信号の入力時のスペクトラムを説明するために示す図である。

[図7]図7は、図6の較正用信号の折り返されたスペクトラムを説明するために示す図である。

[図8]図8は、図1のA/D変換装置に用いられる較正用信号の入力時のスペクトラムを説明するために示す図である。

[図9]図9は、図8の較正用信号の折り返されたスペクトラムを説明するために示す図である。

[図10A]図10Aは、本発明の第5実施形態による高速信号処理システムの構成を説明するために示すブロック図である。

[図10B]図10Bは、図10Aの高速信号処理システムの信号処理装置とA/D変換装置との処理関係を説明するために示す図である。

[図11]図11は、図1のA/D変換装置による補正処理の前提技術を説明するための要部の構成を示すブロック図である。

[図12]図12は、図1のA/D変換装置による補正処理を説明するための要部の構成を示すブロック図である。

[図13]図13は、図12のA/D変換装置に用いられる補正情報メモリ内に作成されるAD特性テーブルを説明するための図である。

[図14]図14は、図12のA/D変換装置に用いられる補正情報メモリ内に作成されるイコライザ係数テーブルを説明するための図である。

[図15]図15は、図1のA/D変換装置の動作を説明するために示すタイミングチャートである。

[図16]図16は、図1のA/D変換装置の動作を説明するために示すタイミングチャー

トである。

[図17A]図17Aは、図1のA/D変換装置によるA/D変換特性を説明するために示す特性図である。

[図17B]図17Bは、従来のA/D変換装置によるA/D変換特性を説明するために示す特性図である。

[図18A]図18Aは、図1のA/D変換装置によるA/D変換特性を説明するために示す特性図である。

[図18B]図18Bは、従来のA/D変換装置によるA/D変換特性を説明するために示す特性図である。

[図19A]図19Aは、図1のA/D変換装置によるA/D変換特性を説明するために示す特性図である。

[図19B]図19Bは、従来のA/D変換装置によるA/D変換特性を説明するために示す特性図である。

[図20]図20は、本発明の第2実施形態によるA/D変換装置の要部の構成を説明するために示すブロック図である。

[図21]図21は、本発明の第3実施形態によるA/D変換装置の要部の構成を説明するために示すブロック図である。

[図22]図22は、本発明の第4実施形態によるA/D変換装置の要部の構成を説明するために示すブロック図である。

[図23]図23は、従来のA/D変換装置の構成を説明するために示すブロック図である。

[図24]図24は、従来のA/D変換装置の動作を説明するために示すタイミングチャートである。

発明を実施するための最良の形態

[0062] 以下、図面に基づいて本発明の幾つかの実施の形態が説明される。

[0063] (第1実施形態)

図1は、本発明の第1実施形態による時間インターリーブ方式のA/D変換装置20の構成を説明するために示すブロック図である。

- [0064] 図1において、入力端子10a、出力端子10b、信号分配器11、N個のA/D変換器 $12_0 \sim 12_{N-1}$ 、サンプリング制御部13及び信号切換器14は、前記した図23に示す従来の時間インタリーブ方式の基本構成によるA/D変換装置10と同一であるので同一符号を付して説明される。
- [0065] すなわち、本発明による時間インタリーブ方式のA/D変換装置は、基本的には、被測定信号 $x(t)$ を入力するための入力端子10aと、較正用信号 $r(t)$ を発生する信号発生器25と、複数N個のA/D変換器12と、入力端子10aから入力される被測定信号 $x(t)$ と信号発生器25から出力される較正用信号 $r(t)$ のいずれかを選択するスイッチ21と、前記スイッチ21によって選択された信号を複数N個に分配して複数N個のA/D変換器12にそれぞれ入力させる信号分配器11と、複数N個のA/D変換器12に対し、周期 T_s で且つ位相が T_s/N ずつシフトしたサンプリングクロックをそれぞれ与えるサンプリング制御部13と、入力端子10aへの入力から複数N個のA/D変換器12での変換処理までの、振幅の周波数特性及び位相の周波数特性の少なくとも一つに差異があることによって生じる、複数N個のA/D変換器12が出力する各信号間の誤差を補正するために必要な補正情報を記憶する補正情報メモリ35と、被測定信号 $x(t)$ を受けて複数N個のA/D変換器12が出力する各信号に対し、補正情報メモリ35に記憶されている補正情報により補正処理を行う補正処理部と、信号発生器25から出力される所定の較正用信号を受けて複数N個のA/D変換器12が出力する各信号についてスペクトラム解析処理を行って複数の信号成分の振幅と位相を算出し、当該算出した結果に基づいて補正情報を新たに求め、当該新たに求めた補正情報により補正情報メモリ35の内容を更新する補正情報算出部41とを有し、信号発生器25は、複数N個のA/D変換器12にそれぞれ与えられるサンプリングクロックの周波数 F_s の $N/2$ 倍を上限とする帯域内の所望の周波数にそれぞれ位置する複数の信号成分であって、前記各A/D変換器12のサンプリングによって前記サンプリングクロックの周波数 F_s の $1/2$ を上限とする帯域内に互いに異なる周波数で現れる前記複数の信号成分を含む前記較正用信号を出力するように構成されている。
- [0066] 具体的には、入力端子10aに入力されるアナログの被測定信号 $x(t)$ は、後述する

スイッチ21の一方の接点を介して信号分配器11に入力される。

- [0067] この信号分配器11により複数N本の信号経路に分岐されたアナログの被測定信号 $x(t)$ の各分岐信号 $x_0(t) \sim x_{N-1}(t)$ は、複数N個のA/D変換器 $12_0 \sim 12_{N-1}$ にそれぞれ入力される。
- [0068] また、サンプリング制御部13は、周期 T_s (周波数 F_s) で T_s/N 時間ずつ位相がシフトされたN個のサンプリングクロック $C_0 \sim C_{N-1}$ をそれぞれN個のA/D変換器 $12_0 \sim 12_{N-1}$ に与えることにより、そのサンプリングクロックに同期したサンプリングを各A/D変換器 $12_0 \sim 12_{N-1}$ に行わせる。
- [0069] スイッチ21の他方の接点には、較正用信号 $r(t)$ を発生する信号発生器25が接続されている。
- [0070] このスイッチ21の切り換えにより、入力端子10aから入力された被測定信号 $x(t)$ と信号発生器25から出力された較正用信号 $r(t)$ とのいずれかが選択されて信号分配器11へ入力される。
- [0071] なお、入力端子10aとスイッチ21の間、信号発生器25とスイッチ21の間及び信号分配器11とスイッチ21の間には、スイッチ21によるインピーダンスの乱れを抑えるための減衰器22a、22b、22cがそれぞれ挿入されている。
- [0072] これらの減衰器22a、22b、22cの減衰量は数dB～10数dB程度であって、通過信号を減衰させる不利さはある。
- [0073] しかるに、これらの減衰器22a、22b、22cは、スイッチ21の不整合による反射成分を大きく抑圧して、後述するように、各A/D変換器 $12_0 \sim 12_{N-1}$ による被測定信号 $x(t)$ 及び較正用信号 $r(t)$ に対するA/D変換処理を安定に且つ再現性よく行わせるのに寄与する。
- [0074] なお、図2に変形例として示すように、較正用信号 $r(t)$ を入力する際に、スイッチ21と連動するスイッチ23を閉じて、入力信号 $x(t)$ を終端器24で終端するようにすれば、被測定信号についてのアイソレーションを大きくすることができ、さらに安定なA/D変換処理が行える。
- [0075] 信号発生器25は、周波数が異なる複数の信号成分を同時に含む信号を較正用信号として発生する。

- [0076] この信号発生器25は、より具体的にいえば、矩形波信号、あるいは複数の正弦波信号を合成して得られる正弦波合成信号を発生する。
- [0077] この信号発生器25からの較正用信号に含まれる複数Mの周波数成分として要求される条件は、サンプリング周波数 F_s の $N/2$ 倍を上限とするA/D変換装置20全体としての入力周波数帯域の特性を調べるため、その周波数帯域をほぼ均等に分けるような間隔で存在する必要があるということである。
- [0078] また、これらの周波数成分のうち、周波数 $F_s/2$ を超える周波数成分については、周波数 $F_s/2$ を上限とする帯域内に折り返される。
- [0079] しかるに、その折り返されたときの周波数が他の成分の周波数と一致してしまうと解析を正しく行えない。
- [0080] したがって、較正用信号に含まれる各周波数成分について要求されるもう一つの条件は、各A/D変換器 $12_0 \sim 12_{N-1}$ でのサンプリングにより周波数 $F_s/2$ を上限とする帯域内に現れたときの周波数が互いに異なるということである。
- [0081] このような条件を満たす周波数成分の組は無限に存在する。
- [0082] ここでは、信号発生器25の構成を容易にするために、周波数間隔が一定の信号成分を用いる場合について説明する。
- [0083] 例えば、 $N=8$ で、図3Aに示すように、サンプリング周波数 F_s の4($=N/2$)倍を上限とする周波数帯域内に、周波数 $F_s/2$ に対して ΔF だけ低い周波数 F_p を最低周波数としたとき、その最低周波数の整数倍の周波数 $2F_p$ 、……、 $8F_p$ の信号成分1～8(図で丸付き数字で表す:以下同様)が含まれる較正用信号 $r(t)$ を考える。
- [0084] なお、ここでは各信号成分1～8のレベルが等しいものとする。
- [0085] これらの成分のうち、周波数 $F_s/2$ より低い周波数 F_p の成分1は、各A/D変換器 $12_0 \sim 12_{N-1}$ において、図3Bに示すように、そのまま周波数 $F_s/2$ より ΔF だけ低い位置の信号成分1'としてA/D変換処理される。
- [0086] また、周波数 $F_s/2$ より高く周波数 F_s より低い周波数 $2F_p$ の成分2は、各A/D変換器 $12_0 \sim 12_{N-1}$ において、図3Bに示すように周波数 F_s を周波数0の位置として周波数 $F_s/2$ 以下の帯域に反転して折り返されることにより、周波数 F_s との差に等しい周波数 $2\Delta F$ の信号成分2'としてA/D変換処理される。

- [0087] さらに、周波数 F_s より高く周波数 $3F_s/2$ より低い周波数 $3F_p$ の成分3は、各A/D変換器 $12_0 \sim 12_{N-1}$ において、図3Bに示すように周波数 F_s を周波数0の位置として周波数 $F_s/2$ 以下の帯域にそのまま折り返されることにより、周波数 F_s との差に等しい周波数(即ち周波数 $F_s/2$ より $3\Delta F$ 低い周波数)の信号成分 $3'$ としてA/D変換処理される。
- [0088] 以下同様に、 F_p の偶数倍の周波数成分4、6、8は、各A/D変換器 $12_0 \sim 12_{N-1}$ において、図3Bに示すようにそれぞれ周波数 $2F_s$ 、 $3F_s$ 、 $4F_s$ を周波数0の位置として周波数 $F_s/2$ 以下の帯域内に反転して折り返されることにより、それぞれ周波数 $2F_s$ 、 $3F_s$ 、 $4F_s$ との差に等しい周波数 $4\Delta F$ 、 $6\Delta F$ 、 $8\Delta F$ の信号成分 $4'$ 、 $6'$ 、 $8'$ としてA/D変換処理される。
- [0089] また、 F_p の奇数倍の周波数成分5、7は、各A/D変換器 $12_0 \sim 12_{N-1}$ において、図3Bに示すようにそれぞれ周波数 $2F_s$ 、 $3F_s$ を周波数0の位置として周波数 $F_s/2$ 以下の帯域内で、それぞれ周波数 $2F_s$ 、 $3F_s$ との差に等しい周波数、すなわち、周波数 $F_s/2$ よりそれぞれ $5\Delta F$ 、 $7\Delta F$ だけ低い周波数の信号成分 $5'$ 、 $7'$ としてA/D変換処理される。
- [0090] ここで、例えば、 $F_s/2$ が ΔF に等しいとき、奇数番目の成分 $1'$ 、 $3'$ 、 $5'$ 、 $7'$ は周波数0の位置で重なり、偶数番目の成分 $2'$ 、 $4'$ 、 $6'$ 、 $8'$ は周波数 $F_s/2$ の位置で重なることになる。
- [0091] また、 $F_s/2$ が $3\Delta F$ に等しいとすると、成分 $1'$ 、 $2'$ 、 $4'$ 、 $5'$ 、 $7'$ 、 $8'$ が周波数 $F_s/3$ の位置で重なり、成分 $3'$ 、 $6'$ が周波数0の位置で重なる。
- [0092] $F_s/2$ が $5\Delta F$ に等しいとすると、成分 $1'$ 、 $4'$ が周波数 $2F_s/5$ の位置で重なり、成分 $2'$ 、 $3'$ 、 $7'$ 、 $8'$ が周波数 $F_s/5$ の位置で重なることになる。
- [0093] また、 $F_s/2$ が $7\Delta F$ に等しいとすると、成分 $1'$ 、 $6'$ 、 $8'$ が周波数 $6F_s/14$ で重なり、成分 $2'$ 、 $5'$ が周波数 $F_s/7$ で重なり、成分 $3'$ 、 $4'$ が周波数 $2F_s/7$ で重なる。
- [0094] さらに、 $F_s/2$ が $9\Delta F$ に等しいとすると、成分 $1'$ 、 $8'$ が周波数 $4F_s/9$ で重なり、成分 $2'$ 、 $7'$ が周波数 $F_s/9$ で重なり、成分 $3'$ 、 $6'$ が周波数 $2F_s/9$ で重なり、成分 $4'$ 、 $5'$ が周波数 $4F_s/9$ で重なることになる。

- [0095] 一方、 $F_s/2$ が $2\Delta F$ に等しい場合、奇数番目の成分 $1'$ 、 $3'$ 、 $5'$ 、 $7'$ は周波数 $F_s/4$ の位置で重なり、偶数番目の成分 $2'$ 、 $4'$ 、 $6'$ 、 $8'$ は周波数 $F_s/2$ の位置で重なることになる。
- [0096] また、 $F_s/2$ が $4\Delta F$ に等しい場合、成分 $1'$ 、 $7'$ が周波数 $3F_s/8$ で重なり、成分 $2'$ 、 $6'$ が周波数 $F_s/4$ で重なり、成分 $3'$ 、 $5'$ が周波数 $F_s/8$ で重なることになる。
- [0097] さらに、 $F_s/2$ が $6\Delta F$ に等しい場合、成分 $4'$ 、 $8'$ が周波数 $F_s/3$ で重なり、成分 $5'$ 、 $7'$ が周波数 $F_s/12$ で重なることになる。
- [0098] 以下同様の検証を行うことで、 $F_s/2$ が ΔF の整数倍に等しいという条件の基では、 F_s の $N/2$ 倍を上限とする帯域内に入る信号成分の数が8の場合、 $F_s/2$ が ΔF の8以上の偶数倍か、17以上の奇数倍であれば、周波数 $F_s/2$ を上限とする帯域内成分 $1'$ 及び周波数 $F_s/2$ 以下の帯域内に現れた各成分 $2' \sim 8'$ の周波数が全て異なることが判る。
- [0099] これを一般化すれば、 $F_s/2$ が ΔF の整数倍に等しいという条件の基で、 F_s の $N/2$ 倍を上限とする帯域内に入る信号成分の数が n のとき、 $F_s/2$ が ΔF の n 以上の偶数倍か、 $2n-1$ 以上の奇数倍であれば、折り返し成分を含めてサンプリングにより周波数 $F_s/2$ 以下の帯域内に現れる n 個の成分の周波数は、互いに重ならないと言える。
- [0100] 上記条件を満たす較正用信号 $r(t)$ を生成する信号発生器25の構成としては、図4に示すように、複数 M の正弦波発生器 $26_0 \sim 26_{M-1}$ がそれぞれ出力する周波数 F_p 、 $2F_p$ 、 $3F_p$ 、……、 MF_p の正弦波信号 $r_0 \sim r_{M-1}$ を加算合成器27によって加算合成することによって得られる。
- [0101] また、上記のような通倍関係にある複数の信号成分を含む信号をより簡単な構成で発生させるためには、図5Aに示すように、較正用信号 $r(t)$ として幅 W_p で、周期 T_p ($=1/F_p$)のパルス信号を用いることができる。
- [0102] このパルス信号には、図5Bに示すように、周波数 F_p の基本波成分と、周波数 $2F_p$ 、 $3F_p$ 、……の各高調波成分が含まれており、単一のパルス信号源で上記の複数の周波数成分を含む較正用信号を生成することができる。

- [0103] ただし、図5Bに示しているように、パルス信号に含まれる各周波数成分のレベルは、 $1/W_p$ の周波数間隔で0となる周期性を有し、徐々に減衰する。
- [0104] 上記した較正用信号に含まれる周波数成分としては、レベルが極端に小さくなると S/N が低下して解析を正しく行うことができなくなるので、ある程度の大きさが必要であり、そのレベル差が少ないことが望ましい。
- [0105] さらに、上記のような高調波を用いた場合、サンプリング周波数 F_s の $N/2$ 倍を上限とする装置全体の入力周波数帯域を超える高次の高調波成分も存在し、しかもその帯域内の周波数成分のレベルが大きく且つレベル差が少なくしようとすると、帯域外の高次の高調波成分のレベルも必然的に大きくなる。
- [0106] よって理想的には、この帯域外の高次の高調波の折り返し成分が、帯域内の折り返し成分(所望の信号成分)の周波数と重ならないことが望ましい。
- [0107] この帯域外の高調波成分のうち、 $NF_s/2$ から十分離れた周波数のものは帯域制限用のフィルタで大きく抑圧できるが、 $NF_s/2$ に近いものはフィルタによる大きな抑圧効果は期待できない。
- [0108] したがって、現実的には、レベル差が所定以上あるものについては、周波数の重なりを許容するか、その周波数の成分を除外して補正情報を求める必要がある。
- [0109] ここで、実際に使用可能な較正用信号の一例を示す。
- [0110] 図6は、 $N=M=8$ 、サンプリング周波数 $F_s=125\text{MHz}$ のときに較正用信号として用いる $F_p=59.375\text{MHz}$ 、デューティ比 $(100 \times W_p/T_p)=3.125$ のパルス信号のスペクトラム分布図である。
- [0111] この図6において、 $N \cdot F_s/2=500\text{MHz}$ を上限とする帯域内に存在する黒丸で示した8つの周波数成分(番号1～8)が、較正に用いる信号成分であり、それらの各レベルはほぼ等しい。
- [0112] また、図7は、上記スペクトラム分布をもつパルス信号が、周波数 $F_s/2$ を上限とする帯域内に現れた場合のスペクトラム分布図である。
- [0113] この図7において、周波数 $F_s/2$ を上限とする帯域内の成分1及び周波数 $F_s/2$ 以下の帯域内の折り返し成分2～8は、それぞれ異なる周波数位置に現れ、しかも、四角で示した帯域外成分の折り返し成分9～31とも重ならない。

- [0114] また、図7において、32番と8番、33番と7番については周波数が重なる。
- [0115] しかるに、この場合、重なったもの同士のレベル差が、較正時に要求される S/N 以上であれば問題なく、さらに高い S/N を必要とする場合には、帯域制限フィルタを用いて抑圧すればよい。
- [0116] また、図示しない、34番以降の折り返し成分も1～8番の成分と周波数が重なる可能性がある。
- [0117] しかるに、この場合、 $F_s/2$ から離れているので、帯域制限フィルタを用いて容易に抑圧できる。
- [0118] なお、重なったもの同士のレベル差が要求される S/N に満たない場合、その周波数成分を、後述のスペクトラム解析の対象から除外することもできる。
- [0119] また、上記したパルス信号の周波数 F_p を1/2倍にする、すなわち、 $F_p=29.6875\text{MHz}$ 、デューティ比($100 \times W_p/T_p$)= 1.5625 の場合のスペクトラム分布は、図8に示すようになる。
- [0120] この、図8において、500MHzを上限とする帯域内に存在する黒丸で示した16 (=M)個の周波数成分(番号1～16)が、較正に用いる信号成分であり、それらの各レベルはほぼ等しい。
- [0121] また、図9は、上記スペクトラム分布をもつパルス信号が、周波数 $F_s/2$ を上限とする帯域内に折り返された場合のスペクトラム分布を示す図である。
- [0122] この図9において、黒丸で示した、周波数 $F_s/2$ を上限とする帯域内の成分1及び周波数 $F_s/2$ 以下の帯域内の折り返し成分2～16は、それぞれ異なる周波数位置に現れ、しかも、四角で示した折り返し成分17～63とも重ならない。
- [0123] また、図9において、64番と16番、65番と15番、66番と14番、67番と13番は、それぞれ周波数が重なる。
- [0124] しかるに、この場合、前記と同様に、重なったもの同士のレベル差が、較正時に要求される S/N 以上であれば問題なく、さらに高い S/N を必要とする場合には、帯域制限フィルタを用いて抑圧すればよい。
- [0125] なお、図示しない68番以降の折り返し成分も1～16番の成分と周波数が一致する可能性がある。

- [0126] しかるに、この場合、 $F_s/2$ から離れているので、帯域制限フィルタを用いて容易に抑圧できる。
- [0127] なお、重なったもの同士のレベル差が要求される S/N に満たない場合、その周波数成分を、後述のスペクトラム解析の対象から除外することもできる。
- [0128] 図1に戻ると、各A/D変換器 $12_0 \sim 12_{N-1}$ から出力されるデジタル信号列 $X_0 \sim X_{N-1}$ は、補正処理部30に入力される。
- [0129] 補正処理部30は、補正情報メモリ35に予め記憶されている補正情報にしたがって、各A/D変換器 $12_0 \sim 12_{N-1}$ において、デジタル信号列 $X_0 \sim X_{N-1}$ に対して同一特性のA/D変換処理が行われたときと等しい結果が得られるような所定の補正処理を行う。
- [0130] この、補正処理部30で補正されたデジタル信号列 $y_0 \sim y_{N-1}$ は、信号切換器14に出力される。
- [0131] ここで、補正処理部30での補正処理の手法としては、A/D変換装置20に要求される精度に応じた任意の処理を行うことができる。
- [0132] 補正処理部30での具体的な補正処理の例としては、全ての処理経路の振幅特性、位相特性を均一化する(例えば、一つの処理経路の特性に他の全ての処理経路の特性を合わせる)ためにデジタルフィルタによるフィルタリング処理を行うことが考えられる。
- [0133] この場合、補正に必要な情報はデジタルフィルタのフィルタ係数であり、補正情報メモリ35には、各A/D変換器 $12_0 \sim 12_{N-1}$ から出力されるデジタル信号列 $X_0 \sim X_{N-1}$ に対して行うフィルタリング処理のためのフィルタ係数が記憶される。
- [0134] この補正処理部30によって補正されたデジタル信号列 $y_0 \sim y_{N-1}$ を受けた信号切換器14は、補正処理に必要な時間だけ遅延したタイミングで、デジタル信号列 $y_0 \sim y_{N-1}$ を順次選択して、時系列のデジタル信号列 $Y(n)$ として出力する。
- [0135] 制御部40は、入力信号 $x(t)$ に対するA/D変換処理が要求されている期間は、スイッチ21を入力端子10a側に接続して、被測定信号 $x(t)$ を信号分配器11へ入力させることにより、前記補正処理されたデジタル信号列 $y_0 \sim y_{N-1}$ が時系列に並んだデジタル信号列 $Y(n)$ を出力端子10bから出力させる。

- [0136] なお、このA/D変換処理の動作中、制御部40は、信号発生器25の発振動作を停止させることにより、較正用信号 $r(t)$ がスイッチ21から信号分配器11側へリークするのを防いでいる。
- [0137] そして、外部からの指示あるいは予め決められたスケジュールにしたがって較正が要求されると、制御部40は、スイッチ21を信号発生器25側に接続して、較正用信号 $r(t)$ を信号分配器11へ入力させる。
- [0138] この較正用信号 $r(t)$ は、被測定信号 $x(t)$ の場合と同様に、各A/D変換器 $12_0 \sim 12_{N-1}$ でA/D変換され、その較正用信号 $r(t)$ に含まれる各周波数成分が、前記したように、折り返し成分を含めて周波数 $F_s/2$ を上限とする帯域内に現れる。
- [0139] 補正情報算出部41は、較正用信号 $r(t)$ に対して各A/D変換器 $12_0 \sim 12_{N-1}$ が出力するデジタル信号列 $X_0 \sim X_{N-1}$ に対して、スペクトラム解析処理(例えば、高速フーリエ変換:FFT)を行うことにより、前記した複数の信号成分の振幅、位相を求める。
- [0140] そして、補正情報算出部41は、その求めた振幅、位相及び周波数に基づいて、補正処理に必要な補正情報を新たに求め、その新たに求めた補正情報で補正情報メモリ35の内容を更新する。
- [0141] この場合、補正情報算出部41は、例えば、周波数 $F_s/2$ を上限とする帯域内に現れた複数の信号成分(前記 $1' \sim 8'$)について振幅 $V_0(1) \sim V_0(8)$ 、 $V_1(1) \sim V_1(8)$ 、……、 $V_{N-1}(1) \sim V_{N-1}(8)$ 及び位相(初期位相) $\Phi_0(1) \sim \Phi_0(8)$ 、 $\Phi_1(1) \sim \Phi_1(8)$ 、……、 $\Phi_{N-1}(1) \sim \Phi_{N-1}(8)$ をスペクトラム解析によりそれぞれ求める。
- [0142] ここで、振幅については、各処理経路について等しいことが理想であるにもかかわらず、実際には誤差がある。
- [0143] そこで、補正情報算出部41は、例えば、A/D変換器 12_0 の出力に対するスペクトラム解析で得られた各周波数成分 $1' \sim 8'$ の振幅 $V_0(1) \sim V_0(8)$ をそれぞれ基準とする振幅誤差(振幅比)を次のように求める。
- [0144]
$$\Delta V(1, 1) = V_1(1) / V_0(1)$$

$$\Delta V(1, 2) = V_1(2) / V_0(2)$$

$$\dots\dots\dots$$

$$\Delta V(1, 8) = V_1(8) / V_0(8)$$

$$\Delta V(2, 1) = V_2(1) / V_0(1)$$

$$\Delta V(2, 2) = V_2(2) / V_0(2)$$

.....

$$\Delta V(2, 8) = V_2(8) / V_0(8)$$

.....

$$\Delta V(N-1, 1) = V_{N-1}(1) / V_0(1)$$

$$\Delta V(N-1, 2) = V_{N-1}(2) / V_0(2)$$

.....

$$\Delta V(N-1, 8) = V_{N-1}(8) / V_0(8)$$

また、位相については、各処理経路についてそれぞれサンプリングタイミング差と誤差が含まれている。

[0145] そこで、補正情報算出部41は、例えば、A/D変換器12₀の出力に対するスペクトラム解析で得られた各周波数成分1' ～8' の位相 $\Phi_0(1) \sim \Phi_0(8)$ をそれぞれ基準とし、前記サンプリングタイミング差に相当する位相分 $\theta_i(j)$ を除いたあとの差分を次のように求める。

$$[0146] \quad \Delta \Phi(1, 1) = \Phi_1(1) - \Phi_0(1) - \theta_1(1)$$

$$\Delta \Phi(1, 2) = \Phi_1(2) - \Phi_0(2) - \theta_1(2)$$

.....

$$\Delta \Phi(1, 8) = \Phi_1(8) - \Phi_0(8) - \theta_1(8)$$

$$\Delta \Phi(2, 1) = \Phi_2(1) - \Phi_0(1) - \theta_2(1)$$

$$\Delta \Phi(2, 2) = \Phi_2(2) - \Phi_0(2) - \theta_2(2)$$

.....

$$\Delta \Phi(2, 8) = \Phi_2(8) - \Phi_0(8) - \theta_2(8)$$

.....

$$\Delta \Phi(N-1, 1) = \Phi_{N-1}(1) - \Phi_0(1) - \theta_{N-1}(1)$$

$$\Delta \Phi(N-1, 2) = \Phi_{N-1}(2) - \Phi_0(2) - \theta_{N-1}(2)$$

.....

$$\Delta \Phi(N-1, 8) = \Phi_{N-1}(8) - \Phi_0(8) - \theta_{N-1}(8)$$

このようにして、補正情報算出部41は、一つのA/D変換器 12_0 の信号経路の特性を基準として得られた振幅誤差及び位相誤差から、フィルタリング等による補正処理に必要な情報を求める。

[0147] そして、補正情報算出部41は、例えば、上記のように一つのA/D変換器 12_0 を基準とした差の周波数特性を算出し、その周波数特性を逆FFT演算してインパルス応答を求めることにより、その求めたインパルス応答を必要精度のタップ数で切り出し、フィルタリング処理で用いるフィルタ係数とする。

[0148] なお、この際、補正情報算出部41は、必要に応じて補間処理を行い、インパルス応答の算出に必要なデータ数を確保する。

[0149] また、サンプリングクロックの位相誤差は、上記算出された位相誤差に定常的に含まれることになるので、サンプリング制御部13から出力されるサンプリングクロックの位相を補正できるように構成し、上記算出された位相誤差内の定常誤差が最小となるようにサンプリングクロックの移相量を補正制御した上で、前記したデジタルフィルタのフィルタ係数を決定することもできる。

[0150] このように第1実施形態の時間インタリーブ方式のA/D変換装置20では、周波数 F_s の $N/2$ 倍を上限とする帯域内に所定の周波数間隔で存在し、且つ各A/D変換器のサンプリングにより周波数 F_s の $1/2$ を上限とする帯域内に現れたときの周波数が互いに異なる複数の信号成分を同時に含む信号を、較正用信号 $r(t)$ として入力し、その較正用信号 $r(t)$ に対して各A/D変換器 $12_0 \sim 12_{N-1}$ が出力する信号に対するスペクトラム解析処理を行い、複数の信号成分の振幅と位相を求め、その振幅と位相に基づいて、補正処理に必要な情報を求めて更新している。

[0151] このため、第1実施形態の時間インタリーブ方式のA/D変換装置20では、従来の時間インタリーブ方式のA/D変換装置10のように、単一周波数の正弦波信号を較正用信号とする場合に比べて、短時間に補正に必要な情報を得ることができ、被測定信号に対するA/D変換処理を長期間停止させることなく、必要な較正処理を行うことができる。

[0152] したがって、後述する本発明の第5実施形態による高速信号処理システムのように信号監視処理を定常的に行うシステムで、環境変化の影響を受けやすい状況にある

場合でも、入力信号に対する変換処理を犠牲にすることなく、高い変換精度を維持できる。

[0153] 次に、補正処理部30での処理の一例について説明する。

[0154] 補正処理部30での処理形態の一つとして、複数のA/D変換器の1つを基準とし、各信号経路それぞれの周波数特性と基準のA/D変換器の周波数特性との差の特性を満たすインパルス応答を有するフィルタの係数を、補正情報メモリ35のAD特性テーブルに予め記憶しておき、複数のA/D変換器から出力されるサンプル値およびAD特性テーブルに記憶されている係数に基づいて、サンプリングクロックを受けたA/D変換器がサンプル値を更新するタイミングに他のA/D変換器が変換処理をおこなったと仮定して得られるサンプル値を推定する方法が考えられる。

[0155] この推定による処理形態も各信号経路の周波数特性を均一化していることになり、補正処理に含まれる。

[0156] また、その推定による処理形態に加え、基準のA/D変換器と各A/D変換器の周波数特性の差をそれぞれ相殺する周波数特性を満たすインパルス応答を有するフィルタの係数を、予めイコライザ係数テーブルに記憶しておき、各推定手段から出力されるサンプル値に対して、等価処理部(イコライザ)がイコライザ係数テーブルに記憶されている係数に基づくフィルタリングをそれぞれ行なって、誤差補正されたサンプル値をそれぞれ出力する処理形態が考えられる。

[0157] 先ず、上記の補正処理の前提となる技術について説明する。

[0158] 始めに、前記したN個のA/D変換器12のうちから任意に基準のA/D変換器と定め、各A/D変換器毎に、入力端子10aからA/D変換器までの入力特性や変換特性及びサンプリング系の位相誤差特性をまとめて周波数特性を算出し、その各周波数特性と基準のA/D変換器についての周波数特性との差を求めることにより、これをミスマッチ特性と定義する。

[0159] また、被測定信号 $x(t)$ は、N個のA/D変換器を用いて実現する高速サンプリングのクロック周波数を Fs' ($=N \cdot Fs$)としたとき、 $0 \sim Fs' / 2$ で帯域制限されているとする。

[0160] 次に、各ミスマッチ特性を有するミスマッチ回路をそれぞれのA/D変換器の前段

に挿入し、その周波数特性を $H_i(\omega)$ ($i=0, 1, \dots, N-1$)と定義し、さらに、各ミスマッチ特性 $H_i(\omega)$ をキャンセルする仮想等価器のイコライズ特性 $G_i(\omega)$ を定義する。

[0161] ここで、入出力信号が $0 \sim Fs' / 2$ の周波数範囲に帯域制限されている条件下で、連続システムをサンプリング周期 $Ts' (=1/Fs')$ で表される離散システムに置き換えた場合に、ミスマッチ特性 $H_i(\omega)$ およびイコライズ特性 $G_i(\omega)$ と等価な入出力特性を示すミスマッチ特性 $H_i^*(\omega)$ およびイコライズ特性 $G_i^*(\omega)$ を考え、これらの特性に対応するインパルス応答 $h_{i,u}$ 及び $g_{i,k}$ を次式によって算出する。

[0162] なお、インパルス列の長さ u および k は、必要精度に応じて調節される。

$$[0163] \quad G_i^*(\omega) = 1/H_i^*(\omega) \quad \dots (1)$$

$$h_{i,u} = F^{-1}\{H_i^*(\omega)\} \quad \dots (2)$$

$$g_{i,k} = F^{-1}\{G_i^*(\omega)\} \quad \dots (3)$$

ただし、 $i=0, 1, \dots, N$

記号 F^{-1} は、離散フーリエ逆変換演算を示す

ここで、A/D変換器 12_0 を基準として、図11の等価回路について考察する。

[0164] すなわち、この場合、各A/D変換器 $12_1 \sim 12_{N-1}$ によるA/D変換は、基準のA/D変換器 12_0 に対するミスマッチ成分がミスマッチ回路特性に換算されているので、図11の等価回路に示すように、被測定信号 $x(t)$ を基準のA/D変換器 12_0 の変換特性110で離散システムに変換した信号 $x(n)$ を、各A/D変換器についてのミスマッチ回路 $112_0 \sim 112_{N-1}$ に通過させた後に、誤差が無い理想A/D変換器 $130_0 \sim 130_{N-1}$ でA/D変換した場合と等価である。

[0165] さらに、各理想A/D変換器 $130_0 \sim 130_{N-1}$ から順次出力されるデジタル値は、それぞれ仮想等価器 $131_0 \sim 131_{N-1}$ に入力され、個々のA/D変換器毎に定義されたイコライザ(インパルス応答 $g_{i,k}$ で定義される)で等価処理が実施された後、各仮想等価器 $131_0 \sim 131_{N-1}$ からそれぞれサンプル値 $Y(n)$ として出力されることになる。

[0166] なお、以下では説明を簡単化するために、基準のA/D変換特性110は、被測定信号をそのまま出力端側に伝送しているものとする。

[0167] しかるに、この基準のA/D変換特性110は、必要に応じて補正してもよい。

[0168] 上記等価回路において、各ミスマッチ回路 $112_0 \sim 112_{N-1}$ の周波数特性を表すイ

ンパルス列の長さ u を等しく U で表せば、理想A/D変換器 $130_0 \sim 130_{N-1}$ の入力 $x_{i,n}$ は、次式で表される。

$$[0169] \quad x_{i,n} = u \sum x(n-u) \cdot h_{i,u} \quad \cdots (4)$$

ただし、 $i=0, 1, \dots, N-1$

記号 $u \sum$ は、 $u = -(U-1) \sim (U-1)$ までの総和を示す

ここで、各A/D変換器 $12_0 \sim 12_{N-1}$ のサンプリングタイミングと理想A/D変換器 $130_0 \sim 130_{N-1}$ のサンプリングタイミングを等しくすれば、理想A/D変換器 $130_0 \sim 130_{N-1}$ は、入力された値 $x_{i,n}$ を周期 T でA/D変換処理した後、各A/D変換器のサンプリングタイミングに合わせてサンプル値を仮想等価器 $131_0 \sim 131_{N-1}$ に出力するから、理想A/D変換器 130_0 が P 番目のサンプル値を出力するとすれば、 n 番目に出力されるサンプル値は次式で表される $J(n)$ 番目の理想A/D変換器から出力されることになる。

$$[0170] \quad x_{J(n),n} = u \sum x(n-u) \cdot h_{J(n),u} \quad \cdots (5)$$

記号 $u \sum$ は、 $u = -(U-1) \sim (U-1)$ までの総和を示す

ここで、 $J(n)$ は、 N を法とする正の値であり、

$$J(n) = n - P \bmod(N) \quad \cdots (6)$$

と表す。

[0171] すなわち、個々の理想A/D変換器は、入力された値 $x_{i,n}$ に対して、 N 個おきにデータを仮想等価器に出力することになる。

[0172] 今、仮に理想A/D変換器が Ts' 毎にサンプル値を出力することにすれば、ミスマッチ回路から出力される値 $x_{i,n}$ が、仮想等価器にそのまま入力されることになり、仮想等価器内部の対応するイコライザは、定義によりミスマッチ回路の特性を補正するように働くから、ミスマッチ回路およびイコライザの計算上の遅延が0となるように係数を定めれば、入力した値 $x(n)$ と同じ値のサンプル値 $Y(n)$ が N 個の仮想等価器 $131_0 \sim 131_{N-1}$ から出力されることになる。

[0173] 理想A/D変換器が Ts' 毎にサンプル値を出力したと仮定したときに、仮想等価器 $131_0 \sim 131_{N-1}$ 内部のイコライザによる処理は、対応するA/D変換器毎に定められるイコライザのインパルス応答 $g_{i,k}$ を用いて次式で定められる。

$$[0174] \quad Y(n) = k \sum_{J(n), n-k} x_{J(n), n-k} \cdot g_{J(n), k} \quad \dots (7)$$

ただし、Kはイコライザのインパルス列の長さを示し、記号 $k \sum$ は、 $k = -(K-1) \sim K-1$ までの総和を示す

ここで上式(7)が成立するためには、 $x_{J(n), n-k}$ について、 $k = -(K-1) \sim K-1$ に対して全ての値が必要であるが、実際の各A/D変換器は、前記したように、N個おきの値しか出力できない。

[0175] 　そこで、他のA/D変換器のサンプル値を用いて、イコライズに必要なサンプル値を推定し、その後式(7)の等価演算処理を行う。

[0176] 　さらに、各仮想等価器 $131_0 \sim 131_{N-1}$ が算出したn番目の出力候補のうち、最も誤差が少なくなるJ(n)番目(演算による遅延を0とした場合)の仮想等価器からの出力をサンプル値Y(n)として出力する。

[0177] 　ここで、J(n)番目のA/D変換結果を推定するために、J(n)番目以外のA/D変換出力

$$x_{J(n-r), n-r-k} \quad \dots (8)$$

ただし、 $r \neq q \times N (q: 0, \pm 1, \pm 2, \dots)$

の場合について考察する。

[0178] 　この場合、 $n-r$ 番目の値をもっているのは、 $(n-r-P) \bmod (N)$ 番目のA/D変換器であり、定義により $n-r$ 番目の入力値 $x(n-r)$ は、イコライズされた出力値 $Y(n-r)$ と等しい値であるから、次式が成り立つ。

$$[0179] \quad x(n-r) = Y(n-r)$$

$$= k \sum_{J(n-r), n-r-k} x_{J(n-r), n-r-k} \cdot g_{J(n-r), k} \quad \dots (9)$$

ただし、記号 $k \sum$ は、 $k = -(K-1) \sim K-1$ までの総和を示す

また、式(4)において、理想A/D変換器がサンプリングタイミングをずらし、J(n)番目のA/D変換器が $n-r$ 番目のサンプリングを行なったと仮定して得られる推定サンプル値 $x_{J(n), n-r}$ は、以下のように得られる。

$$[0180] \quad x_{J(n), n-r} = u \sum x(n-r-u) \cdot h_{J(n), u} \quad \dots (10)$$

ただし、記号 $u \sum$ は、 $u = -(U-1) \sim U-1$ までの総和を示す

上記式(10)に式(9)を代入すれば、推定サンプル値 $x_{J(n), n-r}$ が得られ、その得ら

れた推定サンプル値に対して前記式(7)の処理を行うことで、N個のA/D変換器による出力値 $y(n)$ を得ることができる。

[0181] 図12は、図1によるA/D変換装置20において、上記前提技術に基づく補正処理を行う場合の要部の構成(入力部は省略)を示している。

[0182] この場合、補正処理部30は、N個の推定デバイス $31_0 \sim 31_{N-1}$ とイコライザ $32_0 \sim 32_{N-1}$ によって構成されている。

[0183] また、補正情報メモリ35は、AD特性テーブル36とイコライザ係数テーブル37によって構成されている。

[0184] 各A/D変換器 $12_0 \sim 12_{N-1}$ からの出力は、補正処理部30の推定デバイス $31_0 \sim 31_{N-1}$ にそれぞれ入力される。

[0185] 各推定デバイス $31_0 \sim 31_{N-1}$ は、それぞれが複数N個のA/D変換器 $12_0 \sim 12_{N-1}$ からの出力と、サンプリング制御部13'からの指定信号ADNUMを受けている。

[0186] 各推定デバイス $31_0 \sim 31_{N-1}$ は、タイミング信号Ctで示されるタイミング毎に、入力されたN個のサンプル値、指定信号ADNUMおよび後述するAD特性テーブル36の係数とに基づいて、予め決定した推定値算出処理により定まる数E個前のサンプリングタイミングで、A/D変換器がサンプリング動作したと仮定したときのサンプル値を推定する。

[0187] ここで、予め決定した推定値算出処理により定まる数Eについては、例えば、3点のサンプリング点を用いて推定値を得る場合に $E=1$ 以上となり、1点のサンプリング点を用いて推定値を得る場合には $E=0$ 以上となる。

[0188] 例えば、3点のサンプリング点を用いて推定を行なう場合には、更新されたサンプル値をもつA/D変換器の番号を a ($ADNUM=a$)とし、 N を法とする正の数 b 、 c を次式によって求める。

$$[0189] \quad b = a - 1 \pmod{N} \quad \cdots (11a)$$

$$c = a - 2 \pmod{N} \quad \cdots (11b)$$

そして、 $i=b$ のとき、推定サンプル値 $W_{i,n}$ を、

$$W_{i,n} = x_{b,n} \quad \cdots (12a)$$

とする。

[0190] また、 $i \neq b$ のとき、推定サンプル値 $W_{i,n}$ を、次の演算で求める。

$$\begin{aligned}
 W_{i,n} = & x_{b,n} \cdot h_{i,0} / h_{b,0} \\
 & + x_{a,n} \cdot (h_{i,0} / h_{a,0}) \\
 & \cdot \{ (h_{i,-1} / h_{i,0}) - (h_{b,-1} / h_{b,0}) \} \\
 & + x_{c,n} \cdot (h_{i,0} / h_{c,0}) \\
 & \cdot \{ (h_{i,1} / h_{i,0}) - (h_{b,1} / h_{b,0}) \} \quad \cdots (12b)
 \end{aligned}$$

上記式で、 $h_{i,-1}$ 、 $h_{i,0}$ 、 $h_{i,1}$ は、AD特性テーブル36に予め記憶されている係数である。

[0192] また、上記式(12b)の第1項は主に振幅誤差に関わる項、第2項および第3項は主に位相誤差に関わる項である。

[0193] 各推定デバイス31から出力された推定サンプル値 W は、それぞれイコライザ $32_0 \sim 32_{N-1}$ に入力される。

[0194] 各イコライザ $32_0 \sim 32_{N-1}$ は、入力された推定サンプル値 W に対して、後述するイコライザ係数テーブル37に記憶されている係数(フィルタ係数)を用いて等価演算処理を行うことにより、その結果として得られる、すなわち、基準のA/D変換器に対して誤差が補正されたサンプル値 y を、タイミング信号 Ct で示されるタイミングでそれぞれ信号切換器14'に出力する。

[0195] 信号切換器14'は、各イコライザ $32_0 \sim 32_{N-1}$ から出力されるサンプル値を受け、指定信号ADNUMで指定された値(ここではADNUM=a)、推定値算出処理によって定まる数 E 及びイコライザ係数テーブル37を定義する際に定められるオフセット値 $a0$ を用いてイコライザを指定する値 e を次の計算式により求める。

$$e = a - E - a0 \mod(N)$$

そして、信号切換器14'は、計算により求められたイコライザを指定する値 e に基づいて、指定信号ADNUMで指定された値 a に対して e 番目のイコライザ 32_e の出力結果 $y_{e,n}$ を選択して、最終のA/D変換結果 $Y(n)$ として出力する。

[0197] なお、ここで得られるA/D変換結果は、推定値算出処理により理論計算より $E + a0$ 分のサンプリングタイミングだけ遅延して得られる。

[0198] 一方、AD特性テーブル36には、サンプリング周期 Ts' ($= Ts/N$)で表される離

散システムで考慮した場合の入力端子10aから各A/D変換器の出力端までの周波数特性に対する基準のA/D変換器との周波数特性の差 $H_i^*(\omega)$ (前記した振幅誤差 ΔV 、位相誤差 $\Delta \Phi$ を含み複素数で表される関数)を3ポイントのインパルス応答で単純化された係数が予め記憶されている。

[0199] 補正情報算出部41は、前記較正用信号の入力時に得られた各信号成分のスペクトラム解析結果に基づいて、上記周波数特性の差の特性 $H_i^*(\omega)$ を、基準A/D変換器についての周波数特性 $HO_i^*(\omega)$ 及び各A/D変換器 $12_0 \sim 12_{N-1}$ についての周波数特性 $HO_i^*(\omega)$ から次式によって算出する。

[0200] なお、差の特性 $H_i^*(\omega)$ は計算上では以下のように比となる。

$$[0201] \quad H_i^*(\omega) = HO_i^*(\omega) / HO_i^*(\omega) \quad \cdots (13)$$

次に、サンプリング定理を満たす範囲において、逆FFT演算により周波数特性 $H_i^*(\omega)$ と等価なインパルス応答を求め、そのインパルス応答から得られるフィルタ係数をもつFIRフィルタを設計する。

[0202] ただし、前記等価なインパルス応答をもつフィルタの設計に際しては、設計されるN個のフィルタ全てに共通する絶対遅延量 τ_0 (秒)を任意に設定した後に、個々のフィルタ設計を行うものとする。

[0203] 得られるフィルタの係数を時系列順に、 $\cdots, h_{i,-1}, h_{i,0}, h_{i,1}, \cdots$ (ただし、 $i=0, 1, 2, \cdots, N-1$)と表した場合、絶対遅延量 τ_0 は、係数 $h_{i,0}$ の絶対値が最大となり、かつ設計するN個のFIRフィルタの係数を考慮した場合に、係数の2乗の総和 $\sum (h_{i,-1})^2$ と $\sum (h_{i,1})^2$ とがほぼ等しい値となるように絶対遅延量 τ_0 を設定する。

[0204] 次に、得られた係数の中から、係数列 $h_{i,-1}, h_{i,0}, h_{i,1}$ で示される値を用いて図13に示すようなAD特性テーブル36を作成する。

[0205] このAD特性テーブル36は、例えば、テーブル位置 $(i, -1)$ には $h_{i,-1}$ を、テーブル位置 $(i, 0)$ には $h_{i,0}$ を、テーブル位置 $(i, 1)$ には $h_{i,1}$ を対応させる。

[0206] 一方、イコライザ係数テーブル37は、前記した式(13)で算出した周波数特性の差 $H_i^*(\omega)$ を基に、次式により周波数特性 $G_i^*(\omega)$ を算出する。

$$[0207] \quad G_i^*(\omega) = 1 / H_i^*(\omega) \quad \cdots (14)$$

ただし、 $H_i^*(\omega) \neq 0$

そして、サンプリング定理を満たす範囲では、周波数特性 $G_i^*(\omega)$ と等価なインパルス応答をもつイコライザ(フィルタ)を i 番目の A/D 変換器に対応するイコライザと定義し、そのイコライザに要求されるフィルタ係数を求めてイコライザ係数テーブル 37 に予め用意しておく。

[0208] ただし、この等価なインパルス応答をもつフィルタの設計に際しては、設計される N 個のフィルタ全てに共通する絶対遅延量 τ_1 (秒)を設定した後に、個々のフィルタ設計を行うものとする。

[0209] 得られるフィルタの係数を時系列順に、 $\dots, g_{i,-1}, g_{i,0}, g_{i,1}, \dots$ と表した場合、全フィルタに共通する絶対遅延量 τ_1 の設定値は任意であるが、イコライザ係数テーブル 27 の設計においては、係数 $g_{i,0}$ の絶対値が最大となり、かつ設計する N 個のフィルタ係数の 2 乗の総和 $\sum (g_{i,-1})^2$ と $\sum (g_{i,1})^2$ とがほぼ等しくなるように絶対遅延量 τ_1 を設定する。

[0210] 次に、得られた係数の中から、 $|g_{i,M1}| < \varepsilon$ (ここで ε は、予め定められた許容誤差)を満足する最小値 $M1$ を決定し、同様にして $|g_{i,M2}| < \varepsilon$ を満足する最大値 $M2$ を決定し、係数列 $g_{i,M1}, \dots, g_{i,-1}, g_{i,0}, g_{i,1}, \dots, g_{i,M2}$ を用いて、図 14 に示すようなイコライザ係数テーブル 37 を作成する。

[0211] この場合、例えば、テーブル位置 $(i, M1)$ には $g_{i,M1}$ を、テーブル位置 $(i, M1+1)$ には $h_{i,M1+1}$ を対応させ、以後同様に、テーブル位置 $(i, M2)$ まで順に対応させる。

[0212] このとき、設計される推定デバイス 31、イコライザ 32 の時間応答に合わせて、前記したオフセット値 $a0=1$ (構成する回路の絶対遅延量により異なる)を決定する。

[0213] なお、このイコライザ係数テーブル 37 を作成する際に、位相誤差の周波数特性に対してその高域側が小さくなるような窓関数(例えば、コサインテーパ窓)を乗じて補正することにより、収束が早いインパルス応答が得られる。

[0214] これにより、必要なフィルタ係数の数を減らすことができ、構成を簡単化でき、イコライズ処理の遅延量を減らすことができる。

[0215] 次に、上記構成の A/D 変換装置 20 の動作を図 15、図 16 に基づいて説明する。

[0216] 図 15 の (a) に示すように入力端子 10a に入力された被測定信号 $x(t)$ は、スイッチ 21 を介して信号分配器 11 に入力されことにより、 N 本の信号経路に分岐されて、各 A

／D変換器 $12_0 \sim 12_{N-1}$ にされる。

- [0217] 各A／D変換器 $12_0 \sim 12_{N-1}$ は、図15の(b1)～(bN)に示すように、サンプリング制御部13'から出力されるサンプリングクロック $C_0 \sim C_{12}$ をそれぞれ受けて、それぞれの被測定信号成分 $x_{0(t)} \sim x_{N-1(t)}$ に対するA／D変換処理をほぼ Ts' 時間ずつ遅れたタイミングで順次に行うことによって得られたサンプル値 $X_{0,P}, X_{1,P+1}, \dots, X_{N-1,P+N-1}$ を、図15の(c1)～(cN)に示すようにそれぞれ出力する。
- [0218] ここで、サンプリングタイミング順に番号を付け、P番目のサンプリングでは、A／D変換器 12_0 がA／D変換処理を行ってそのサンプル値を更新したと定義し、その更新されたサンプル値を $X_{0,P}$ と表すものとする。
- [0219] このとき、サンプリング制御部13'は、図15の(d)、(e)に示すように、A／D変換結果の更新タイミングに合わせて、サンプル値を更新したA／D変換器 12_0 を指定する指定信号ADNUM(例えば、ADNUM=0とする)と、入力信号に対するサンプリングタイミングを示すタイミング信号Ctを出力する。
- [0220] この状態では、他のA／D変換器 $12_1 \sim 12_{N-1}$ は、A／D変換結果を更新しないので、P番目のサンプリングが行われる前から保持している以下に示すような値をそれぞれ出力している。
- [0221]
$$X_{1,P} = X_{1,P-1}$$
$$X_{2,P} = X_{2,P-1}$$
$$\dots$$
$$X_{N-1,P} = X_{N-1,P-1}$$
次のP+1番目のサンプリングタイミングには、ADNUM=1となり、A／D変換器 12_1 のサンプル値が更新され、他のA／D変換器 $12_0, 12_2 \sim 12_{N-1}$ は、P番目のサンプリングタイミングのときと同じ値を出力する。
- [0222] 以後、同様に各A／D変換器 $12_0 \sim 12_{N-1}$ による変換処理が順番に行われ、N-1番目のA／D変換器 12_{N-1} のサンプル値が更新された後に、再び0番目のA／D変換器 12_0 によるサンプル値の更新がなされる如くした、上記動作が循環的に繰り返されることになる。
- [0223] 各推定デバイス $31_0 \sim 31_{N-1}$ は、前記したように、サンプル値が更新されていないA

／D変換器がそのタイミングでサンプリング動作したと仮定したときのサンプル値を、更新されたサンプル値を用いて推定する。

- [0224] 例えば、Nが3以上の場合で、一つの推定デバイス31₀についてみると、図16に示すように、A／D変換器12₁によりP+1番目のサンプル値が更新されたタイミングでは、各A／D変換器について一つ前のサンプリングタイミングでP番目のサンプル値を推定することが可能となる。
- [0225] 推定デバイス31₀のP番目の推定サンプル値 $W_{0,P}$ としては、A／D変換器12₀がサンプル値 $X_{0,P}$ を既にもっているから、この値をそのまま出力する。
- [0226] すなわち、これは前記式(12a)において $i=b=0$ の場合に相当する。
- [0227] また、その次のP+2番目のサンプリングタイミングにおける推定サンプル値 $W_{0,P+1}$ は、そのサンプリングタイミングに更新されたA／D変換器12₂のサンプル値 $X_{2,P+2}$ と、一つ前のサンプリングタイミングのサンプル値 $X_{1,P+1}$ と、さらにその一つ前のサンプリングタイミングのサンプル値 $X_{0,P}$ と、AD特性テーブル36の係数とを用いて、前記式(12b)の $i \neq b$ の場合で示す演算式にしたがって算出される。
- [0228] さらに、その次のP+3番目のサンプリングタイミングにおける推定サンプル値 $W_{0,P+2}$ は、そのサンプリングタイミングに更新されたA／D変換器12₃のサンプル値 $X_{3,P+3}$ と、一つ前のサンプリングタイミングのサンプル値 $X_{2,P+2}$ と、さらにその一つ前のサンプリングタイミングのサンプル値 $X_{1,P+1}$ と、AD特性テーブル36の係数とを用いて、前記式(12b)の $i \neq b$ の場合で示す演算式にしたがって算出される。
- [0229] 以下同様の推定処理がなされて、その推定サンプル値が時系列に並んだサンプル列 $W_{0,P}$ 、 $W_{0,P+1}$ 、…がイコライザ32₀に出力される。
- [0230] 他の推定デバイス31₁～31_{N-1}についても同様の推定処理がなされ、その推定サンプル値 $W_{m,P}$ 、 $W_{m,P+1}$ 、…($m=1, 2, \dots, N-1$)がそれぞれイコライザ32₁～32_{N-1}に出力される。
- [0231] イコライザ32₁～32_{N-1}は、それぞれ入力される推定サンプル値Wに対して、イコライザ係数テーブル37の係数による等価処理(フィルタリング)を行い、基準のA／D変換器について周波数特性に対して誤差が補正されたサンプル値 $y_{i,P}$ 、 $y_{i,P+1}$ 、…($i=0, 1, \dots, N-1$)を信号切換器14'にそれぞれ出力する。

- [0232] 信号切換器14' は、A/D変換器を指定する指定信号ADNUMに対して前記したオフセット値a0分だけずれたタイミングでその指定信号ADNUMで指定されるA/D変換器に対応するイコライザ32の出力値を順次選択して、その選択値が時系列に並んだデジタル信号列Y(n)を出力する。
- [0233] このようにして得られた最終のA/D変換結果Y(n)は、各A/D変換器12の変換処理で実際に得られたサンプル値と各推定デバイス31で推定算出されたサンプル値からなるサンプル列を、それぞれイコライザ32によって誤差補正しているため、信号分配器11や配線等を含むA/D変換器間の周波数特性差による誤差の影響を格段に低減することができる。
- [0234] そして、この推定処理とイコライズ処理からなる補正処理に用いるフィルタ係数を、較正用信号の入力時に前記補正情報算出部41により新たに求めて更新することにより、A/D変換誤差の少ない状態を維持することができる。
- [0235] また、各イコライザ32が出力するサンプル列のうち、同一サンプリングタイミングで得られる最も誤差の少ないサンプル値が信号切換器14' によって選択されるようにしているので、時間波形解析や周波数スペクトラムによる解析誤差を大幅に改善することが可能となる。
- [0236] 次に、上記構成のA/D変換装置20のA/D変換特性例について説明する。
- [0237] 図17A, Bは、それぞれ、N=4で、入力信号として周波数10MHzの正弦波を、上記第1実施形態のA/D変換装置20と前記した従来のA/D変換装置10とに与えたときに得られたデジタル信号列Y(n)と入力信号に対する誤差E(n)の時間波形を示している。
- [0238] 図17Aに示す第1実施形態のA/D変換装置20の時間波形は、図17Bに示している従来のA/D変換装置10の時間波形と比較して、誤差がほとんど発生していないことが判る。
- [0239] また、図18A, Bは、それぞれ、周波数10MHzの正弦波を入力信号したときに、上記第1実施形態のA/D変換装置20と従来のA/D変換装置10が出力するデジタル信号列Y(n)に対するFFT解析を行って得られた周波数スペクトラム波形を示している。

- [0240] 図18Bに示している従来のA/D変換装置10のスペクトラム波形では、10MHzの基本波以外に、およそ41MHz、61MHz、93MHzの周波数近傍に大きな(基本波に対して約-40dB)スプリアスが発生している。
- [0241] これに対し、図18Aに示す第1実施形態のA/D変換装置20のスペクトラム波形は、基本波の10MHz以外のスプリアス成分は観測されていない。
- [0242] また、図19A, Bは、それぞれ、周波数98MHzの正弦波を入力信号したときに、上記第1実施形態のA/D変換装置20と前記した従来のA/D変換装置10とが出力するデジタル信号列Y(n)に対するFFT解析を行って得られた周波数スペクトラム波形を示している。
- [0243] 図19Bに示している従来のA/D変換装置10のスペクトラム波形では、98MHzの基本波以外に、およそ4MHz、47MHz、56MHzの周波数近傍に大きな(基本波に対して約-40dB)スプリアスが発生している。
- [0244] これに対し、図19Aに示す第1実施形態のA/D変換装置20のスペクトラム波形は、基本波の98MHz以外に、およそ4MHz、47MHz、56MHzの周波数近傍にノイズレベルより僅かに大きい(基本波に対して約-85dB)スプリアス成分のみが観測されるだけである。
- [0245] このように、第1実施形態のA/D変換装置20では、補正処理部30において、上記した推定処理とイコライズ処理を行うことによって得られるデジタル信号列は、時間波形の誤差や周波数スペクトラムのスプリアスの要因となる誤差分が大きく低減されていることが判る。
- [0246] そして、第1実施形態のA/D変換装置20では、この補正処理に必要な情報を前記したように短時間に取得できるようにしているので、極めて高い精度を維持した状態でA/D変換処理を行うことが可能となる。
- [0247] また、上記第1実施形態のA/D変換装置20では、従来のA/D変換装置10に比べてスプリアスの発生を約30dB改善できることが確認されている。
- [0248] なお、上記実施形態のように、3つのA/D変換結果からサンプル値を推定するのに代えて、推定が必要なサンプル値のサンプリングタイミングに更新された1つのA/D変換結果からサンプル値を推定するようにしてもよい。

- [0249] この場合、前記式(12b)の第1項目において、 $b=a$ とした計算式だけを用いて推定することが可能になり、推定のための算出処理を高速化することができる。
- [0250] また、この場合でも、従来のA/D変換装置10に比べてスプリアスの発生を約40dB改善できることが確認されている。
- [0251] また、 $N=2$ の場合、2つのA/D変換器 12_0 、 12_1 が交互にA/D変換処理を行うため、3つのサンプル値で推定を行う場合には、A/D変換器 12_1 の更新前のサンプル値 $X_{1,P-1}$ を対応する推定デバイス31のメモリ(図示せず)に記憶しておき、A/D変換器 12_1 の更新後のサンプル値 $X_{1,P+1}$ が得られたときに、それらの2つのサンプル値 $X_{1,P-1}$ 、 $X_{1,P+1}$ と、他方のA/D変換器 12_0 のサンプル値 $X_{0,P}$ とから、サンプル値 $X_{1,P-1}$ 、 $X_{1,P+1}$ の中間のタイミングのサンプル値 $W_{1,P}$ を推定算出すればよい。
- [0252] これは他方のA/D変換器 12_0 についても同様である。
- [0253] なお、以上のように説明される第1実施形態のA/D変換装置20に適用した補正処理及び補正情報の一例に代えて、他の補正処理を用いる場合であっても、本発明のA/D変換装置を同様に適用することができる。
- [0254] (第2実施形態)
- 図20は、本発明の第2実施形態によるA/D変換装置の要部の構成を説明するために示すブロック図である。
- [0255] 前記した第1実施形態によるA/D変換装置20において、推定デバイス31は、対応するA/D変換器自身がサンプリング動作しないときに、他のA/D変換器のサンプル値とAD特性テーブル36の係数に基づいてサンプル値を推定出力するようにしている。
- [0256] これに代えて、図20に示すように、イコライザ32及び信号切換器14'を省略し、各A/D変換器12のサンプル値を唯一の推定デバイス31に入力して、その推定デバイス31が出力する推定サンプル値 W をそのまま最終のA/D変換結果 $Y(n)$ として出力端子10bから出力することも可能である。
- [0257] このように構成した場合、A/D変換装置20としての構成を格段に簡単化することができる。
- [0258] (第3実施形態)

図21は、本発明の第3実施形態によるA/D変換装置の要部の構成を説明するために示すブロック図である。

[0259] すなわち、本発明の第3実施形態によるA/D変換装置20では、図21に示すように、各A/D変換器 $12_0 \sim 12_{N-1}$ にそれぞれ入力されるクロック $C_0 \sim C_{N-1}$ の位相を調整する位相調整手段 $51_0 \sim 51_{N-1}$ （例えば、ラインストラッチャ等）を設けて、サンプリング周波数の上限($Fs'/2$)で各クロック信号の位相を理想値に設定することにより、非線型誤差を減少させることができる。

[0260] そして、このように位相調整を行うことにより、前記したように、A/D変換処理で得られた1つのサンプル値からサンプル値を推定する場合でも、A/D変換誤差を小さくすることができる。

[0261] また、このようにサンプリングのタイミング誤差を低減することにより、イコライザ32のタップ長（前記したM1、M2の大きさ）を短くすることができるので、イコライザ32自身を簡単に構成することができる。

[0262] （第4実施形態）

図22は、本発明の第4実施形態によるA/D変換装置の要部の構成を説明するために示すブロック図である。

[0263] 前記第1実施形態によるA/D変換装置20の信号分配器11は、入力される被測定信号を常時複数のA/D変換器 $12_0 \sim 12_{N-1}$ に出力するようにしているので、入力される被測定信号の電力の $1/N$ ずつが各A/D変換器 $12_0 \sim 12_{N-1}$ に入力されることになり、Nが大きい場合には、A/D変換器の入力レベル範囲を有効に使用することができなくなる。

[0264] これを改善するために増幅器を用いて信号を増幅する構成にしたとすると、その増幅器の特性のバラツキがインタリーブ方式のA/D変換装置の誤差要因として追加されることになり、補正処理が複雑化するとともに、A/D変換精度が低下する。

[0265] このような場合には、図22に示す信号分配器11のように、被測定信号を選択的にA/D変換器 $12_0 \sim 12_{N-1}$ に出力するスイッチ回路11aと、各サンプリングクロック $C_0 \sim C_{N-1}$ を受ける毎にスイッチ回路11aを順次切り換える切換回路11bとで構成し、各A/D変換器 $12_0 \sim 12_{N-1}$ のうち、サンプリング動作を行うA/D変換器12にだけ選

択的に被測定信号を与えるようにすれば良い。

[0266] このように構成すれば、誤差要因となる増幅器を用いることなく、被測定信号を低損失で各A/D変換器 $12_0 \sim 12_{N-1}$ に与えることができるので、A/D変換器の入力レベル範囲を有効に利用することができるとともに、A/D変換精度が向上する。

[0267] (第5実施形態)

図10Aは、本発明の第5実施形態による高速信号処理システムの概念的な構成を説明するために示すブロック図である。

[0268] この場合、高速信号処理システムは、図1に示したA/D変換装置20と、このA/D変換装置20からのA/D変換出力信号に対して、例えばスペクトラム解析等の各種の信号処理を実行することを可能とする信号処理装置100とから構成される。

[0269] すなわち、この第5実施形態による高速信号処理システムでは、信号処理装置100が図1のA/D変換装置20から出力されるA/D変換出力信号を蓄えるメモリ101と、前記メモリ101に蓄えられている前記A/D変換出力信号について所定の信号解析処理を行う解析処理部102と、信号処理装置100が前記所定の信号解析処理を行っている期間に、較正処理要求を前記A/D変換装置20の制御部40に与えて前記A/D変換装置20に対して較正処理のためのA/D変換及びそれに続く前記補正情報の算出と更新を行わせる制御と、A/D変換装置20から前記補正情報の更新処理の終了を受けて前記A/D変換装置20に対して前記被測定信号のA/D変換処理可能に設定する制御とを行うシステム制御部103とを備えている。

[0270] 図10Bは、図10Aの高速信号処理システムの信号処理装置100とA/D変換装置20の処理関係を説明するために示す図である。

[0271] この場合、信号処理装置100としては、例えば、図10Bの(a)に示しているように、A/D変換装置20が被測定信号 $x(t)$ に対する一定時間のA/D変換処理を行うことにより得られたデジタル信号列 $Y(n)$ を信号処理装置100内のメモリ101に蓄えてから、そのデジタル信号列 $Y(n)$ に対する解析処理等を行うという動作を繰り返すバッチ処理システムを想定している。

[0272] そして、この高速信号処理システムでは、図10Bの(a)、(b)に示しているように、信号処理装置100が解析処理を行っている間に、A/D変換装置20に較正用信号を

入力して補正に必要な補正情報を求めて更新することができるため、例えば周囲温度が経時的に変化するような環境で使用する場合でもシステムの性能を高精度に維持することができる。

[0273] なお、ローカル発振器とミキサとを含むダウンコンバータ(図示せず)をさらに備えることにより、A/D変換装置20の周波数帯域よりも広い周波数帯域での解析を実現することができる。

[0274] したがって、以上詳述したように、本発明によれば、上述したような従来技術の問題を解決し、短時間に補正に必要なデータを取得できるように改良された時間インターリーブ方式のA/D変換装置及びそれを用いる高速信号処理システムを提供することができる。

請求の範囲

- [1] 被測定信号を入力するための入力端子と、
較正用信号を発生する信号発生器と、
複数N個のアナログーデジタル(A/D)変換器と、
前記入力端子から入力される前記被測定信号と前記信号発生器から出力される前記較正用信号のいずれかを選択するスイッチと、
前記スイッチによって選択された信号を複数N個に分配して前記複数N個のA/D変換器にそれぞれ入力させる信号分配器と、
前記複数N個のA/D変換器に対し、周期 T_s で且つ位相が T_s/N ずつシフトしたサンプリングクロックをそれぞれ与えるサンプリング制御部と、
前記入力端子への入力から前記複数N個のA/D変換器での変換処理までの、振幅の周波数特性及び位相の周波数特性の少なくとも一つに差異があることによつて生じる、前記複数N個のA/D変換器が出力する各信号間の誤差を補正するために必要な補正情報を記憶する補正情報メモリと、
前記被測定信号を受けて前記複数N個のA/D変換器が出力する各信号に対し、前記補正情報メモリに記憶されている前記補正情報により補正処理を行う補正処理部と、
前記信号発生器から出力される前記所定の較正用信号を受けて前記複数N個のA/D変換器が出力する各信号についてスペクトラム解析処理を行つて前記複数の信号成分の振幅と位相を算出し、当該算出した結果に基づいて前記補正情報を新たに求め、当該新たに求めた補正情報により前記補正情報メモリの内容を更新する補正情報算出部と、
を具備し、
前記信号発生器は、前記複数N個のA/D変換器にそれぞれ与えられる前記サンプリングクロックの周波数 F_s の $N/2$ 倍を上限とする帯域内の所望の周波数にそれぞれ位置する複数の信号成分であつて、前記各A/D変換器のサンプリングによつて前記サンプリングクロックの周波数 F_s の $1/2$ を上限とする帯域内に互いに異なる周波数で現れる前記複数の信号成分を含む前記較正用信号を出力するように構成さ

れていることを特徴とする時間インタリーブ方式のA/D変換装置。

- [2] 前記信号発生器は、前記サンプリングクロックの周波数 F_s の $N/2$ 倍を上限とする帯域内の前記複数の信号成分を基本波成分と所定次数までの高調波成分とで構成するパルス信号であって、当該パルス信号の高調波成分のうち前記所定次数より高次の高調波成分と、前記複数の信号成分とが、前記各A/D変換器のサンプリングによって前記サンプリングクロックの周波数 F_s の $1/2$ を上限とする帯域内の同一周波数で重なる場合に、該重なった成分同士のパワー比を予め定めた値以下にしたパルス信号を、前記較正用信号として出力することを特徴とする請求項1に記載のA/D変換装置。
- [3] 前記信号発生器は、前記サンプリングクロックの周波数 F_s の $N/2$ 倍を上限とする帯域内で且つ互いに異なる周波数の正弦波信号を発生する複数の正弦波発生器と、該複数の正弦波発生器の出力信号を加算合成する加算合成器とにより構成されていることを特徴とする請求項1に記載のA/D変換装置。
- [4] 前記補正情報算出部は、前記スペクトラム解析によって得られた前記複数の信号成分の振幅と位相に基づき、前記複数のA/D変換器の1つを基準のA/D変換器とし、前記入力端子から前記複数のA/D変換器の各出力端子までのそれぞれの周波数特性と前記基準のA/D変換器の周波数特性との差の特性を満たすインパルス応答を有するフィルタの係数を前記補正情報として算出して、前記補正情報メモリ内のAD特性テーブルに記憶するように構成され、
前記補正処理部は、前記被測定信号に対して前記複数のA/D変換器から出力される各サンプル値および前記AD特性テーブルに記憶されている係数に基づいて、前記サンプリングクロックを受けたA/D変換器がサンプル値を更新するタイミングに他のA/D変換器が変換処理を行ったと仮定して得られるサンプル値を推定する推定デバイスが設けられていることを特徴とする請求項1に記載のA/D変換装置。
- [5] 前記補正情報算出部は、前記スペクトラム解析によって得られた前記複数の信号成分の振幅と位相に基づき、前記基準のA/D変換器の周波数特性と前記複数のA/D変換器の残りのA/D変換器の周波数特性の差をそれぞれ相殺する周

波数特性を満たすインパルス応答を有するフィルタの係数を前記補正情報として算出して、前記補正情報メモリ内のイコライザ係数テーブルに記憶するように構成され、

前記補正処理部には、前記推定デバイスとして前記A/D変換器毎にそれぞれ設けられている複数の推定デバイスと、前記複数の推定デバイスから出力される各サンプル値に対して、前記イコライザ係数テーブルに記憶されている係数に基づくフィルタリングをそれぞれ行って、誤差補正されたサンプル値をそれぞれ出力する複数のイコライザとが設けられていることを特徴とする請求項4に記載のA/D変換装置。

- [6] 前記入力端子と前記スイッチとの間、前記信号発生器と前記スイッチとの間及び前記信号分配器と前記スイッチとの間の少なくとも一つに挿入されている複数の減衰器をさらに具備することを特徴とする請求項1に記載のA/D変換装置。

- [7] 前記スイッチと連動する第2のスイッチと、前記第2のスイッチに接続される終端器とをさらに具備し、

前記スイッチにより前記較正用信号を選択する際に、前記第2のスイッチを閉じて、前記入力端子から入力され前記被測定信号を前記終端器で終端可能とするように構成されることを特徴とする請求項6に記載のA/D変換装置。

- [8] 前記被測定信号を受けて前記複数のN個のA/D変換器がそれぞれ前記サンプリングクロックに基づくサンプリングによって出力する各出力信号をサンプリング順に並んだデジタル信号列に合成して出力可能とする信号合成手段をさらに具備することを特徴とする請求項1に記載のA/D変換装置。

- [9] 前記信号合成手段として、前記デジタル信号列を出力するための出力端子と、前記被測定信号を受けて前記複数のN個のA/D変換器がそれぞれ前記サンプリングクロックに基づくサンプリングによって出力する各出力信号を順次選択的に切り換えて前記出力端子に出力する信号切換器とをさらに具備し、

前記サンプリング制御部は、前記複数のN個のA/D変換器がそれぞれ出力する各出力信号を前記信号切換器によって順次選択的に切り換えて出力するために、前記複数のN個のA/D変換器のうちサンプリングを行ったA/D変換器を指定する指定信号を前記信号切換器に与えることにより、前記信号切換器からサンプリング順に並んだデジタル信号列に合成して前記出力端子に出力可能とすることを特徴とする請

求項8に記載のA/D変換装置。

- [10] 外部からの指示あるいは予め決められたタイムスケジュールに従う較正処理要求に応じて、前記スイッチを前記信号発生器側に接続して、前記較正用信号を前記信号分配器へ入力させるための制御部をさらに具備することを特徴とする請求項9に記載のA/D変換装置。

- [11] 時間インタリーブ方式のアナログーデジタル(A/D)変換装置と、
前記時間インタリーブ方式のA/D変換装置からのA/D変換出力信号に対して所定の信号処理を実行する信号処理装置と、
を具備する高速信号処理システムであって、
前記時間インタリーブ方式のA/D変換装置が、
被測定信号を入力するための入力端子と、
較正用信号を発生する信号発生器と、
複数N個のA/D変換器と、
前記入力端子から入力される前記被測定信号と前記信号発生器から出力される前記較正用信号のいずれかを選択するスイッチと、
前記スイッチによって選択された信号を複数N個に分配して前記複数N個のA/D変換器にそれぞれ入力させる信号分配器と、
前記複数N個のA/D変換器に対し、周期 T_s で且つ位相が T_s/N ずつシフトしたサンプリングクロックをそれぞれ与えるサンプリング制御部と、
前記入力端子への入力から前記複数N個のA/D変換器での変換処理までの、
振幅の周波数特性及び位相の周波数特性の少なくとも一つに差異があることによって生じる、前記複数N個のA/D変換器が出力する各信号間の誤差を補正するために必要な補正情報を記憶する補正情報メモリと、
前記被測定信号を受けて前記複数N個のA/D変換器が出力する各信号に対し、
前記補正情報メモリに記憶されている前記補正情報により補正処理を行う補正処理部と、
前記信号発生器から出力される前記所定の較正用信号を受けて前記複数N個のA/D変換器が出力する各信号についてスペクトラム解析処理を行って前記複数の

信号成分の振幅と位相を算出し、当該算出した結果に基づいて前記補正情報を新たに求め、当該新たに求めた補正情報により前記補正情報メモリの内容を更新する補正情報算出部と、

を具備し、

前記信号発生器は、前記複数 N 個の A/D 変換器にそれぞれ与えられる前記サンプリングクロックの周波数 F_s の $N/2$ 倍を上限とする帯域内の所望の周波数にそれぞれ位置する複数の信号成分であって、前記各 A/D 変換器のサンプリングによって前記サンプリングクロックの周波数 F_s の $1/2$ を上限とする帯域内に互いに異なる周波数で現れる前記複数の信号成分を含む前記較正用信号を出力するように構成されていることを特徴とする高速信号処理システム。

- [12] 前記時間インタリーブ方式の A/D 変換装置の前記信号発生器は、前記サンプリングクロックの周波数 F_s の $N/2$ 倍を上限とする帯域内の前記複数の信号成分を基本波成分と所定次数までの高調波成分とで構成するパルス信号であって、当該パルス信号の高調波成分のうち前記所定次数より高次の高調波成分と、前記複数の信号成分とが、前記各 A/D 変換器のサンプリングによって前記サンプリングクロックの周波数 F_s の $1/2$ を上限とする帯域内の同一周波数で重なる場合に、該重なった成分同士のパワー比を予め定めた値以下にしたパルス信号を、前記較正用信号として出力することを特徴とする請求項11に記載の高速信号処理システム。

- [13] 前記時間インタリーブ方式の A/D 変換装置の前記信号発生器は、前記サンプリングクロックの周波数 F_s の $N/2$ 倍を上限とする帯域内で且つ互いに異なる周波数の正弦波信号を発生する複数の正弦波発生器と、該複数の正弦波発生器の出力信号を加算合成する加算合成器とにより構成されていることを特徴とする請求項11に記載の高速信号処理システム。

- [14] 前記時間インタリーブ方式の A/D 変換装置の前記補正情報算出部は、前記スペクトラム解析によって得られた前記複数の信号成分の振幅と位相に基づき、前記複数 N 個の A/D 変換器の1つを基準の A/D 変換器とし、前記入力端子から前記複数 N 個の A/D 変換器の各出力端子までのそれぞれの周波数特性と前記基準の A/D 変換器の周波数特性との差の特性を満たすインパルス応答を有するフィルタの

係数を前記補正情報として算出して、前記補正情報メモリ内のAD特性テーブルに記憶するように構成され、

前記A/D変換装置の前記補正処理部は、前記被測定信号に対して前記複数N個のA/D変換器から出力される各サンプル値及び前記AD特性テーブルに記憶されている係数に基づいて、前記サンプリングクロックを受けたA/D変換器がサンプル値を更新するタイミングに他のA/D変換器が変換処理を行ったと仮定して得られるサンプル値を推定する推定デバイスが設けられていることを特徴とする請求項11に記載の高速信号処理システム。

- [15] 前記時間インタリーブ方式のA/D変換装置の前記補正情報算出部は、前記スペクトラム解析によって得られた前記複数の信号成分の振幅と位相に基づき、前記基準のA/D変換器の周波数特性と前記複数N個のA/D変換器の残りのA/D変換器の周波数特性の差をそれぞれ相殺する周波数特性を満たすインパルス応答を有するフィルタの係数を前記補正情報として算出して、前記補正情報メモリ内のイコライザ係数テーブル(37)に記憶するように構成され、

前記時間インタリーブ方式のA/D変換装置の前記補正処理部には、前記推定デバイスとして前記A/D変換器毎にそれぞれ設けられている複数の推定デバイスと、前記複数の推定デバイスから出力される各サンプル値に対して、前記イコライザ係数テーブルに記憶されている係数に基づくフィルタリングをそれぞれ行って、誤差補正されたサンプル値をそれぞれ出力する複数のイコライザとが設けられていることを特徴とする請求項14に記載の高速信号処理システム。

- [16] 前記時間インタリーブ方式のA/D変換装置は、前記入力端子と前記スイッチとの間、前記信号発生器と前記スイッチとの間及び前記信号分配器と前記スイッチとの間の少なくとも一つに挿入されている減衰器をさらに具備することを特徴とする請求項11に記載の高速信号処理システム。

- [17] 前記時間インタリーブ方式のA/D変換装置は、前記スイッチと連動する第2のスイッチと、前記第2のスイッチに接続される終端器とをさらに具備し、

前記スイッチにより前記較正用信号を選択する際に、前記第2のスイッチを閉じて、前記入力端子から入力され前記被測定信号を前記終端器で終端可能とすることを

特徴とする請求項16に記載の高速信号処理システム。

- [18] 前記時間インタリーブ方式のA/D変換装置は、前記被測定信号を受けて前記複数N個のA/D変換器がそれぞれ前記サンプリングクロックに基づくサンプリングによって出力する各出力信号をサンプリング順に並んだデジタル信号列に合成して出力可能とする信号合成手段をさらに具備する請求項11に記載の高速信号処理システム。

- [19] 前記時間インタリーブ方式のA/D変換装置の前記信号合成手段は、前記デジタル信号列を出力するための出力端子と、前記被測定信号を受けて前記複数N個のA/D変換器がそれぞれ前記サンプリングクロックに基づくサンプリングによって出力する各出力信号を順次選択的に切り換えて前記出力端子に出力する信号切換器とを具備し、

前記時間インタリーブ方式のA/D変換装置の前記サンプリング制御部は、前記複数N個のA/D変換器がそれぞれ出力する各出力信号を前記信号切換器によって順次選択的に切り換えて出力するために、前記複数N個のA/D変換器のうちサンプリングを行ったA/D変換器を指定する指定信号を前記信号切換器に与えることにより、前記信号切換器からサンプリング順に並んだデジタル信号列Yに合成して前記出力端子に出力可能とすることを特徴とする請求項18に記載の高速信号処理システム。

- [20] 前記時間インタリーブ方式のA/D変換装置は、外部からの指示あるいは予め決められたタイムスケジュールに従う較正処理要求に応じて、前記スイッチを前記信号発生器側に接続して、前記較正用信号を前記信号分配器へ入力させるための制御部をさらに具備することを特徴とする請求項19に記載の高速信号処理システム。

- [21] 前記信号処理装置が、

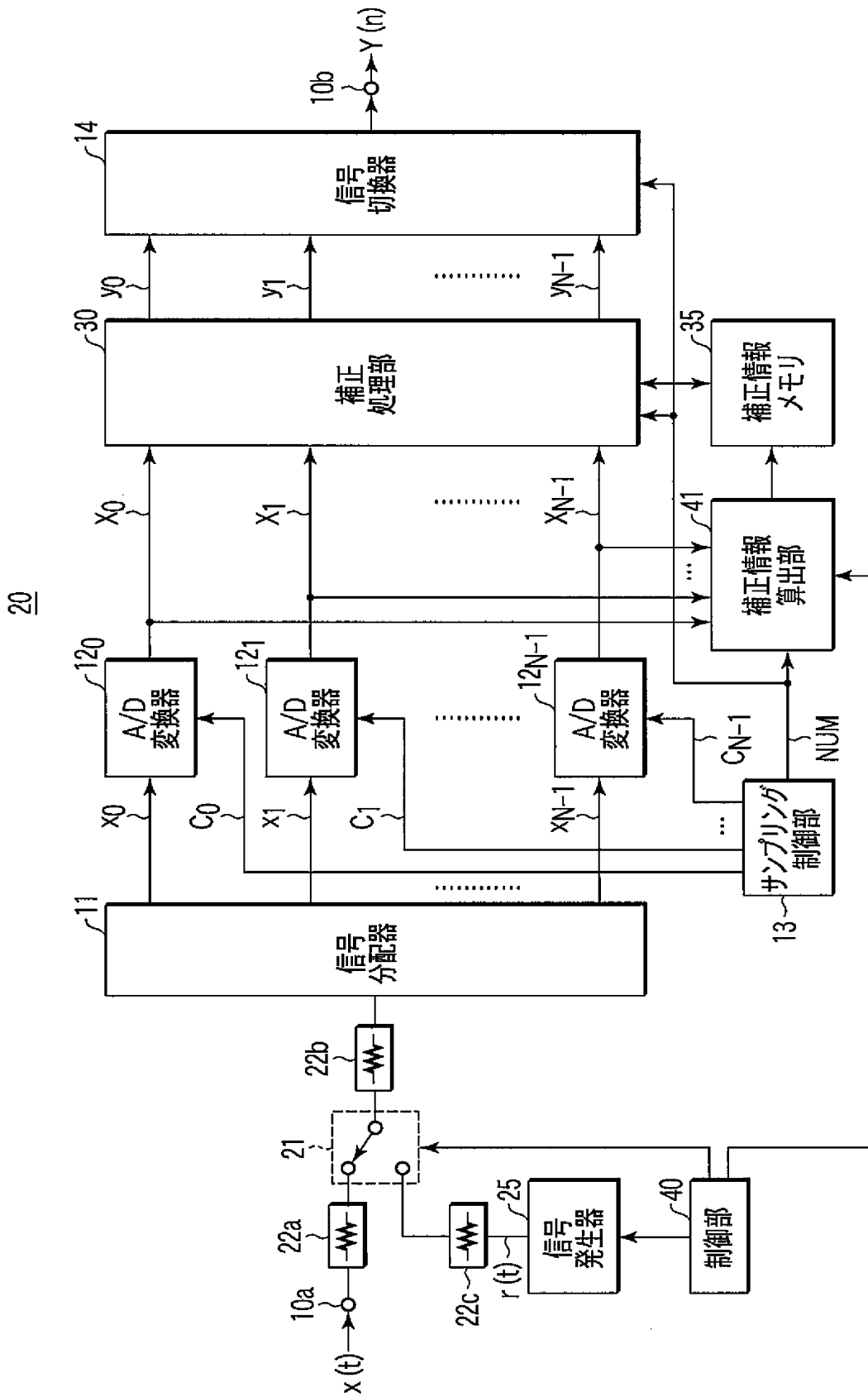
前記時間インタリーブ方式のA/D変換装置から出力される前記A/D変換出力信号を蓄えるメモリと、

前記メモリに蓄えられている前記A/D変換出力信号について所定の信号解析処理を行う解析処理部と、

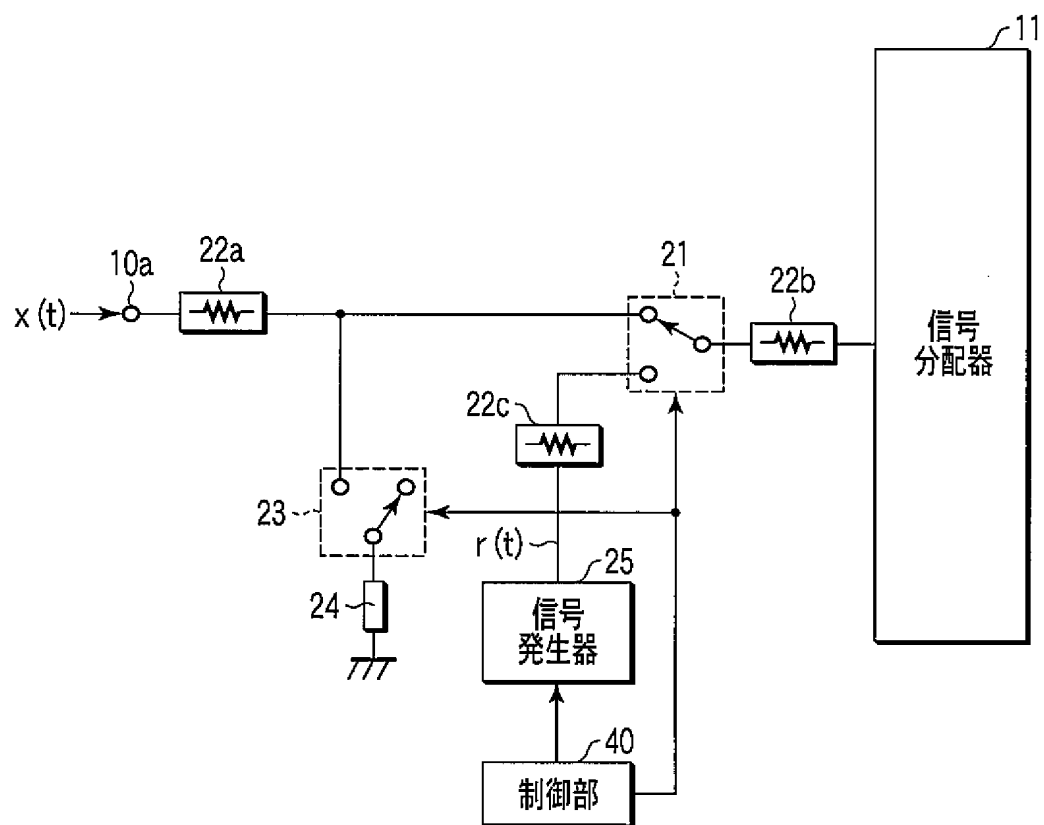
前記信号処理装置が前記所定の信号解析処理を行っている期間に、較正処理要

求を前記A／D変換装置に与えて前記A／D変換装置に対して較正処理のためのA／D変換及びそれに続く前記補正情報の算出と更新を行わせるとともに、前記A／D変換装置からの前記補正情報の更新の終了を受けて前記A／D変換装置に対して前記被測定信号のA／D変換処理可能な状態に設定するシステム制御部とを具備することを特徴とする請求項11に記載の高速信号処理システム。

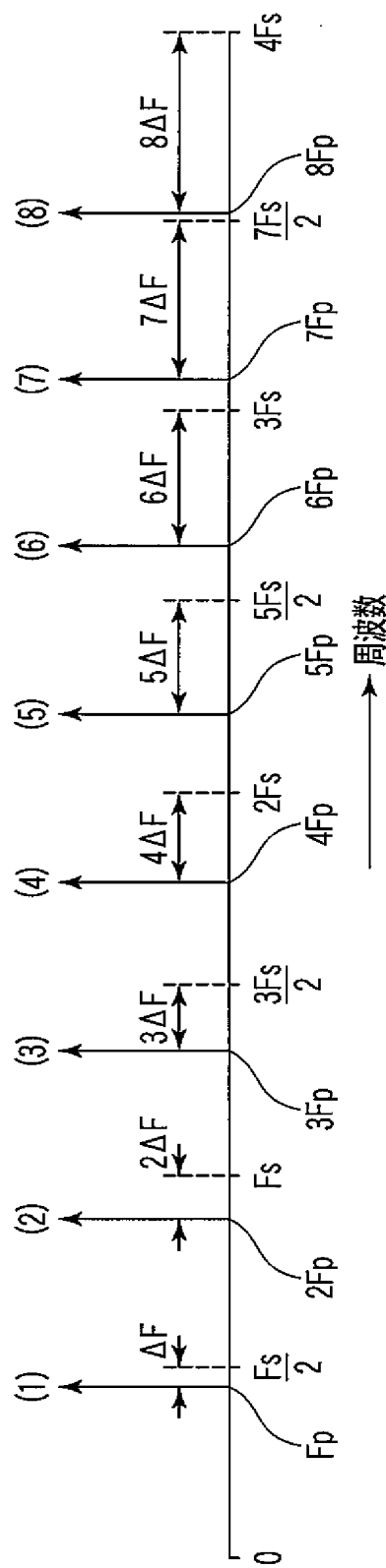
図1



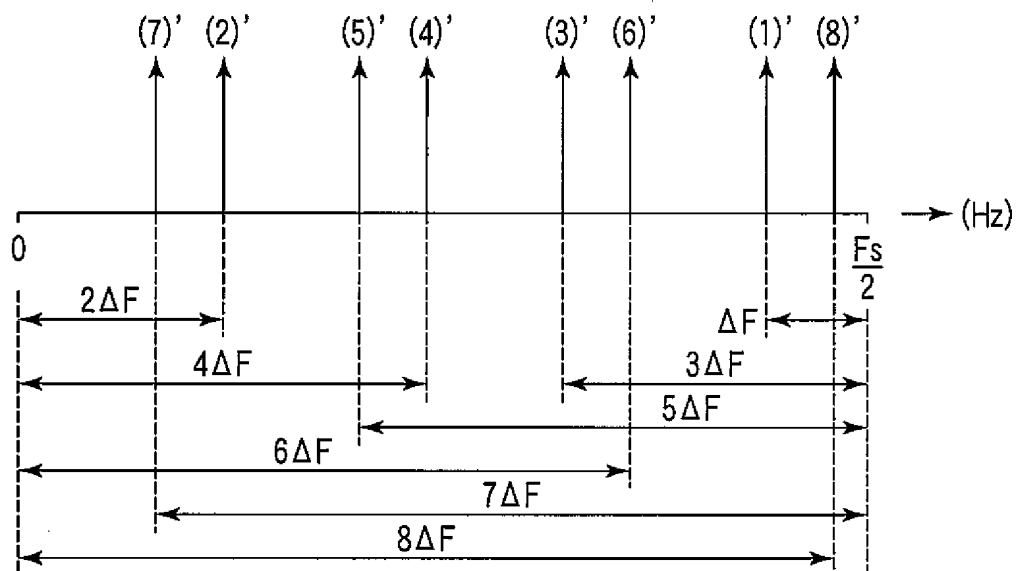
[図2]



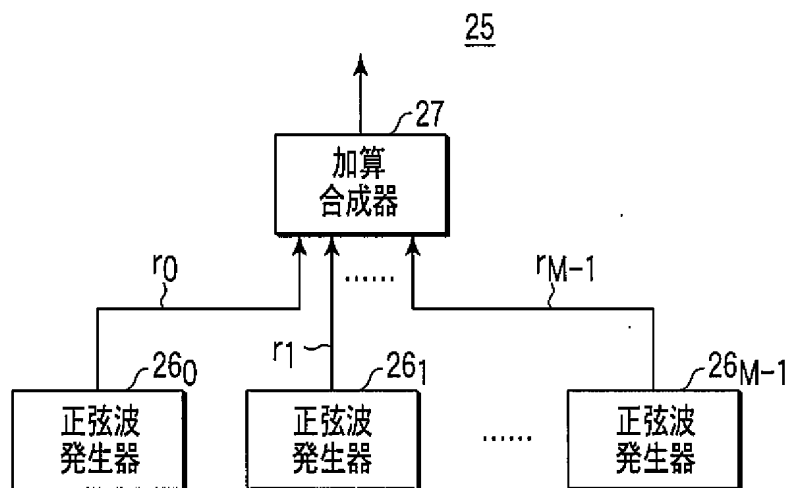
[図3A]



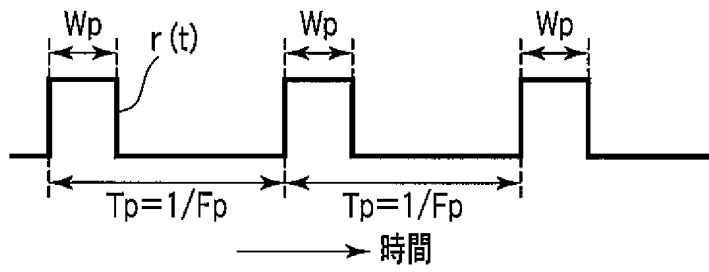
[図3B]



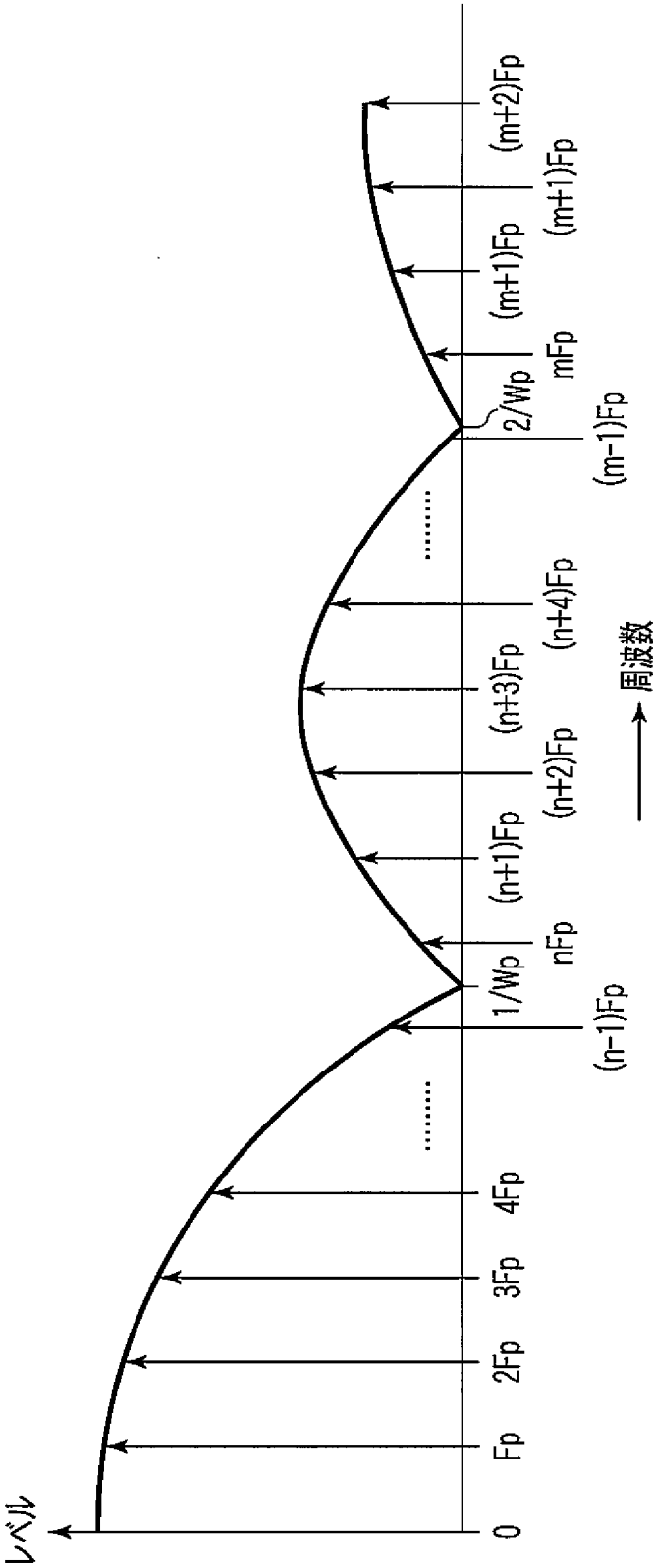
[図4]



[図5A]

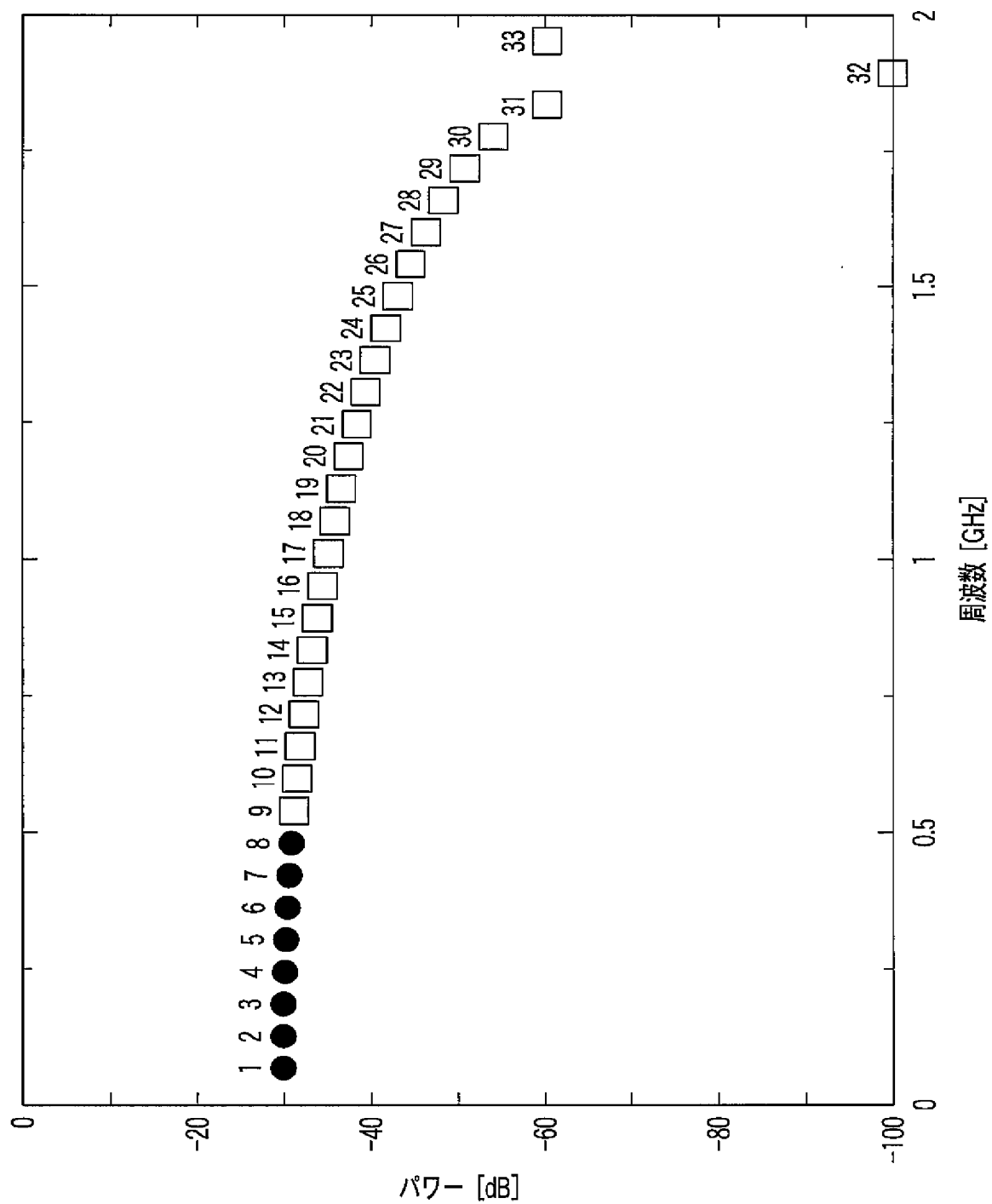


[図5B]



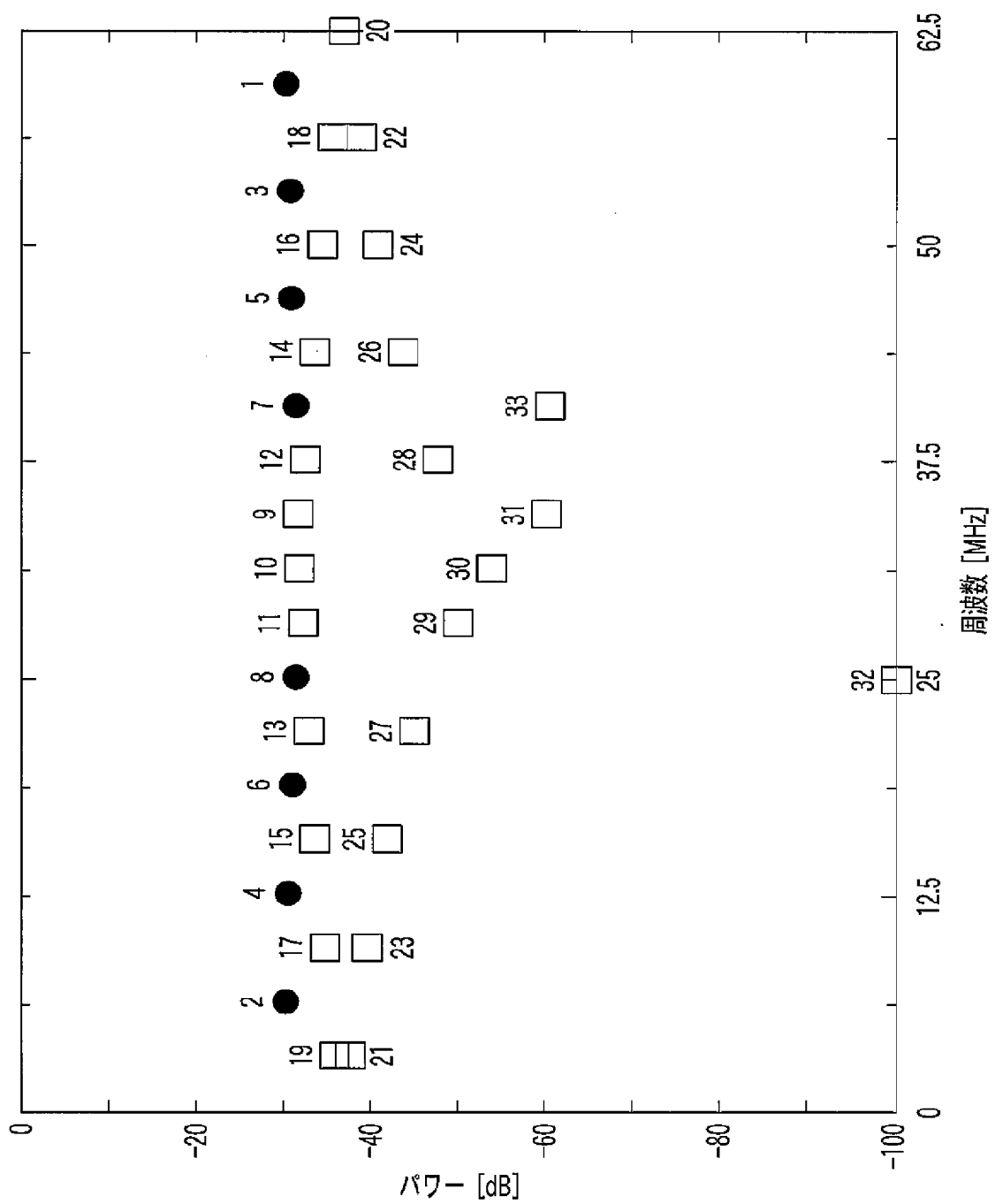
7/25

[図6]

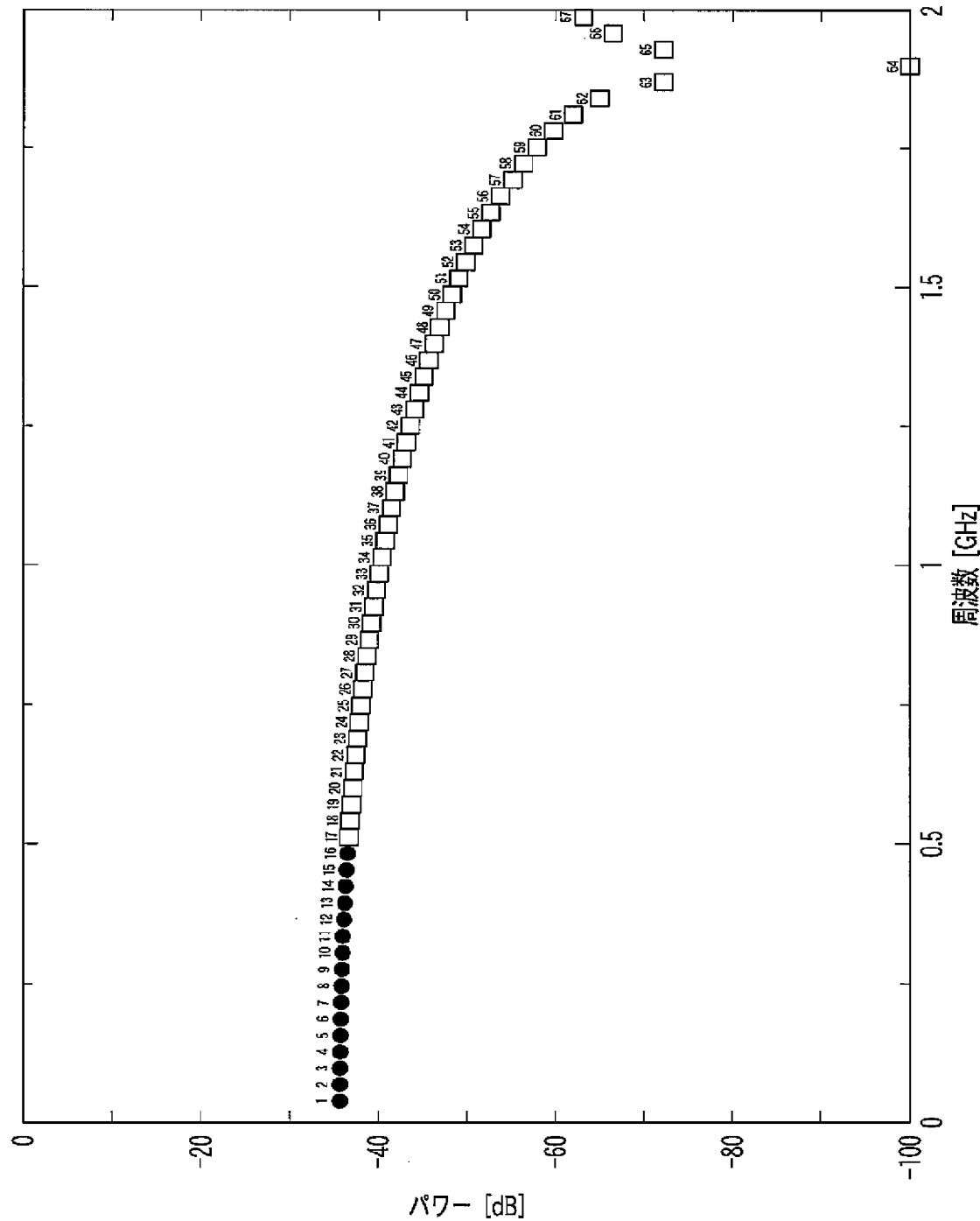


8/25

[図7]

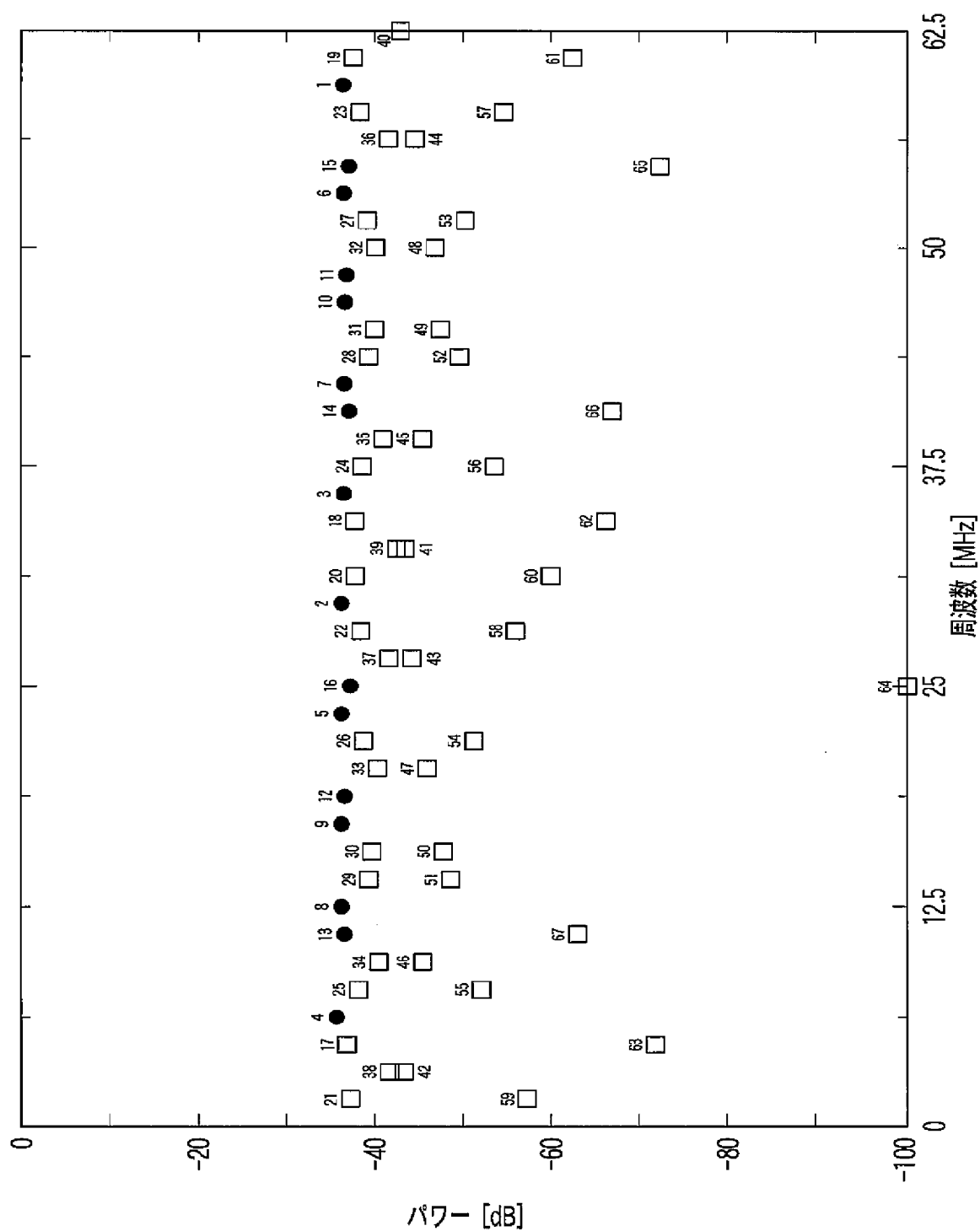


[図8]

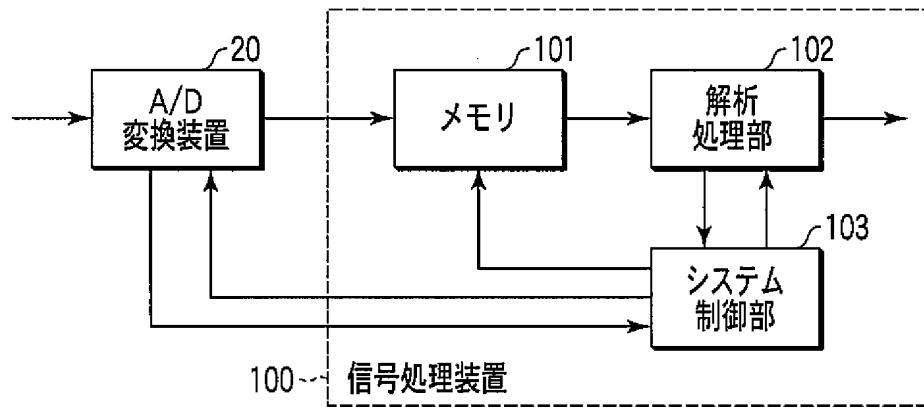


10/25

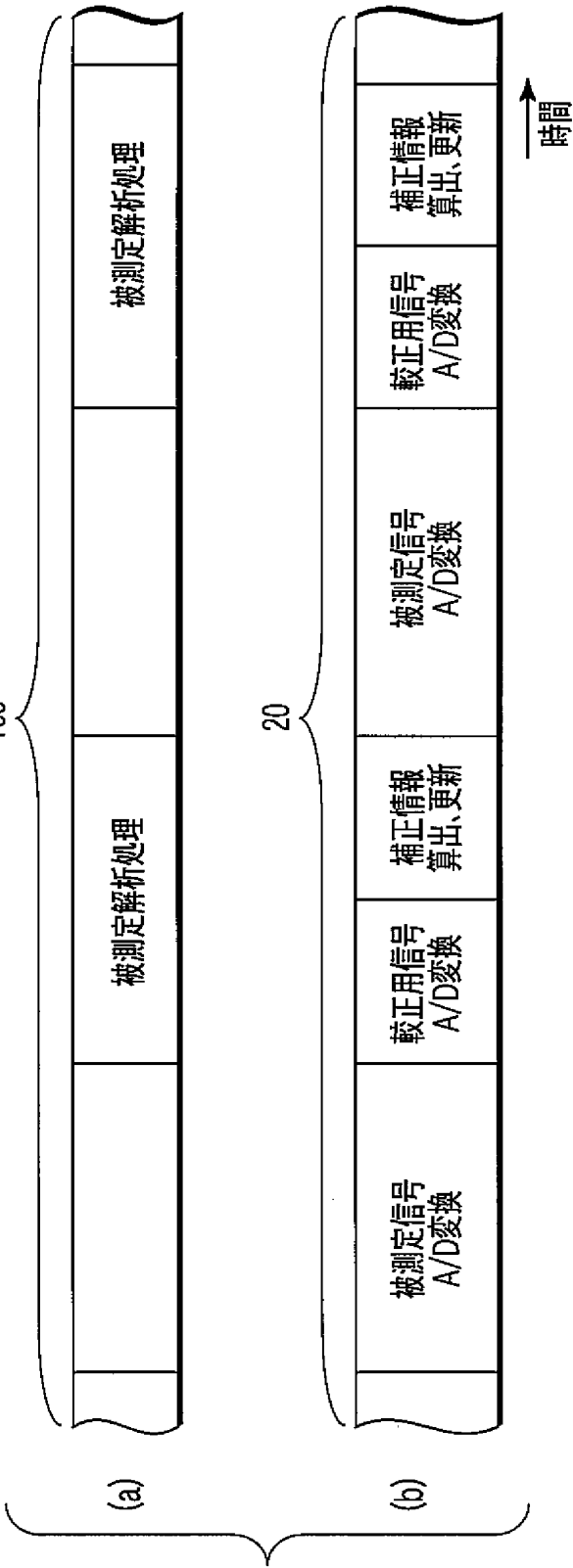
[図9]



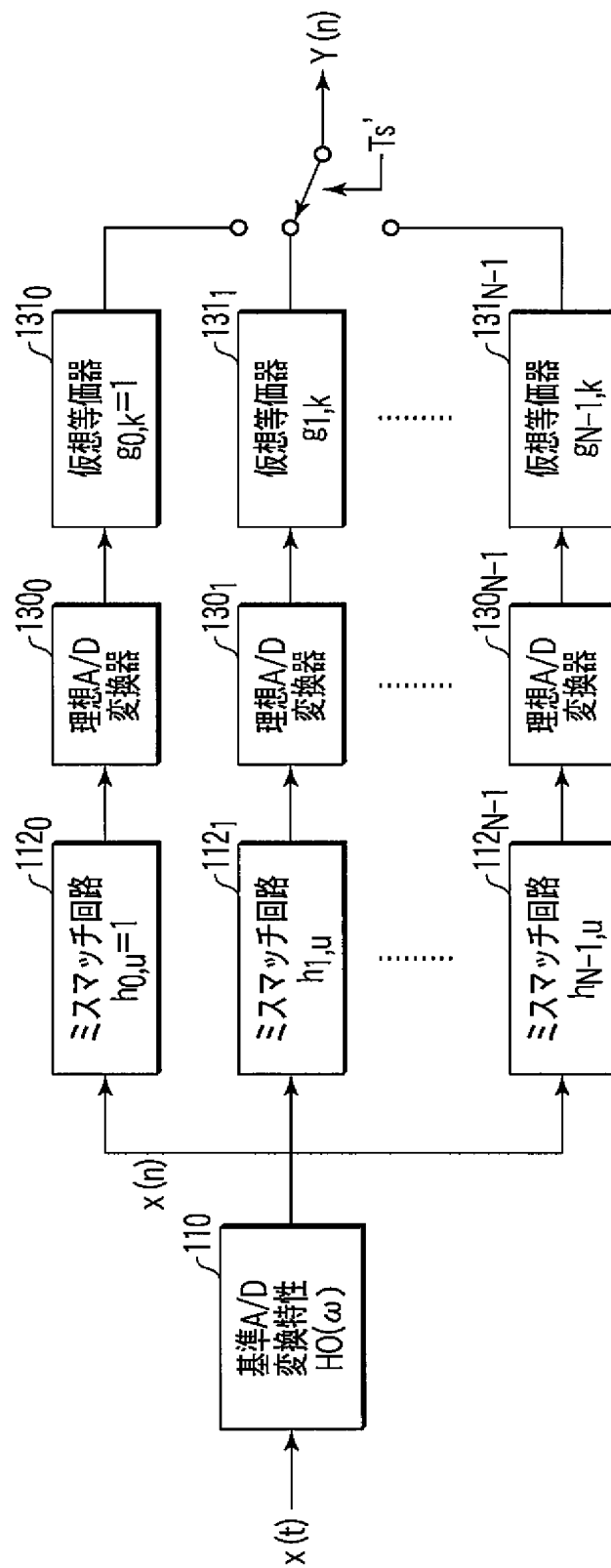
[図10A]



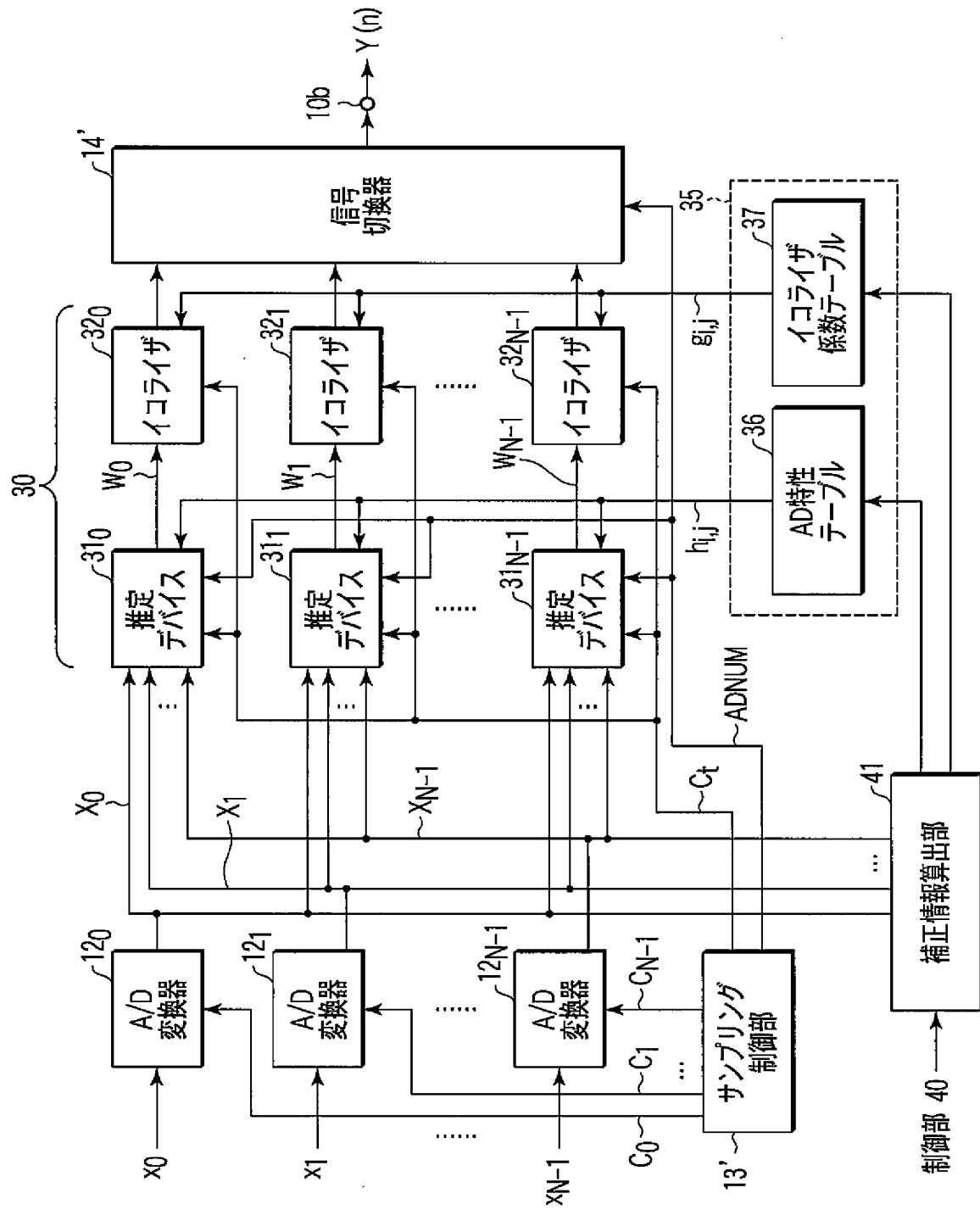
[図10B]



[図11]



[図12]



[[図13]

36

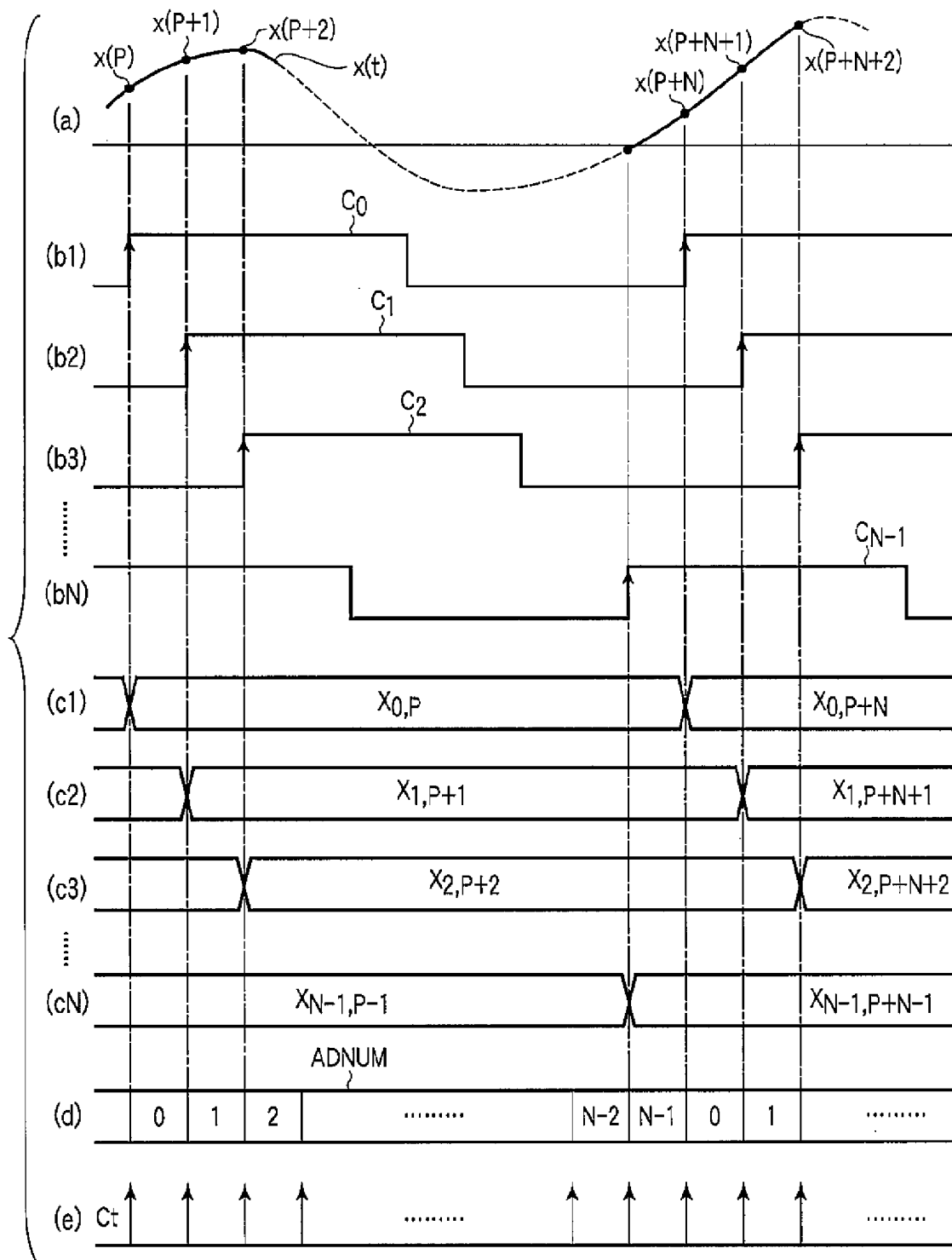
$i \backslash j$	-1	0	1
0	$h_{0,-1}$	$h_{0,0}$	$h_{0,1}$
1	$h_{1,-1}$	$h_{1,0}$	$h_{1,1}$
2	$h_{2,-1}$	$h_{2,0}$	$h_{2,1}$
\vdots	\vdots	\vdots	\vdots
N-1	$h_{N-1,-1}$	$h_{N-1,0}$	$h_{N-1,1}$

[[図14]

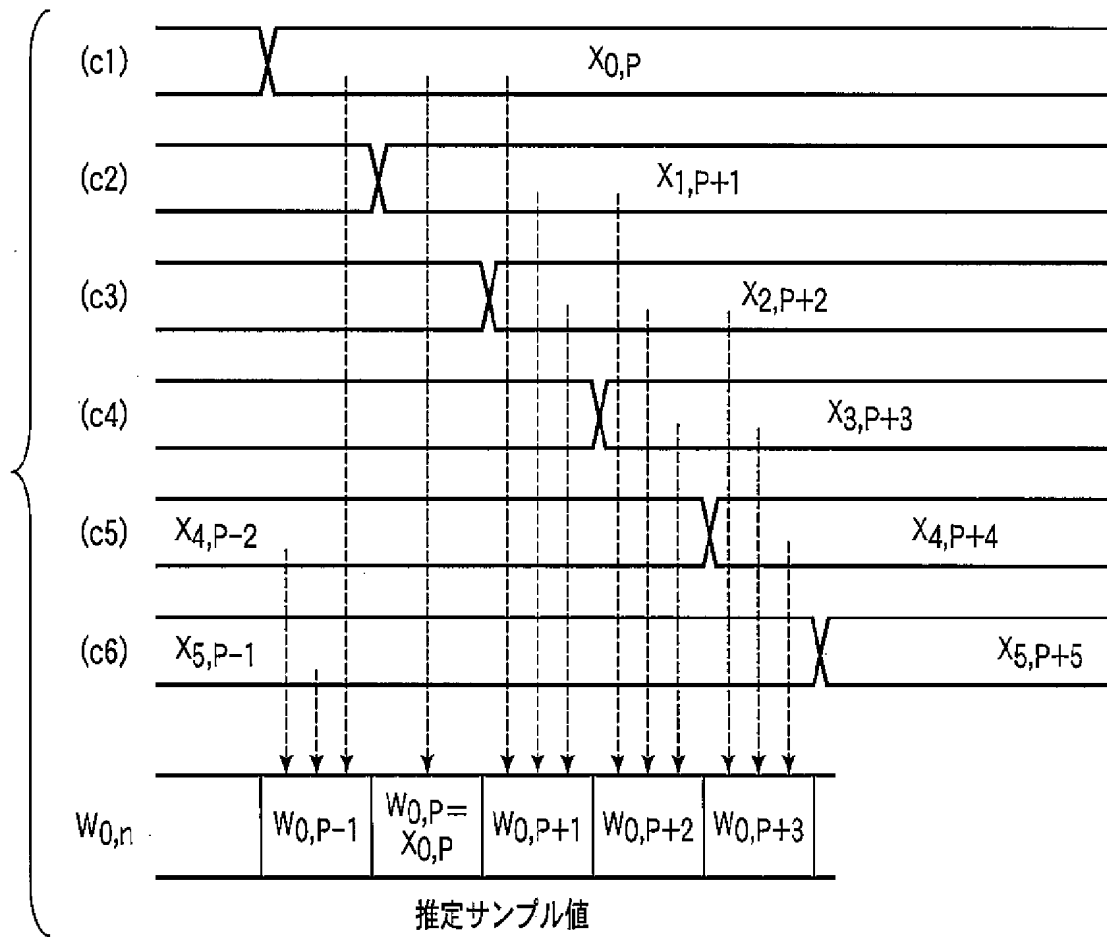
37

$i \backslash j$	M1	...	-1	0	1	...	M2
0	$g_{0,M1}$...	$g_{0,-1}$	$g_{0,0}$	$g_{0,1}$...	$g_{0,M2}$
1	$g_{1,M1}$...	$g_{1,-1}$	$g_{1,0}$	$g_{1,1}$...	$g_{1,M2}$
2	$g_{2,M1}$...	$g_{2,-1}$	$g_{2,0}$	$g_{2,1}$...	$g_{2,M2}$
\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots
N-1	$g_{N-1,M1}$...	$g_{N-1,-1}$	$g_{N-1,0}$	$g_{N-1,1}$...	$g_{N-1,M2}$

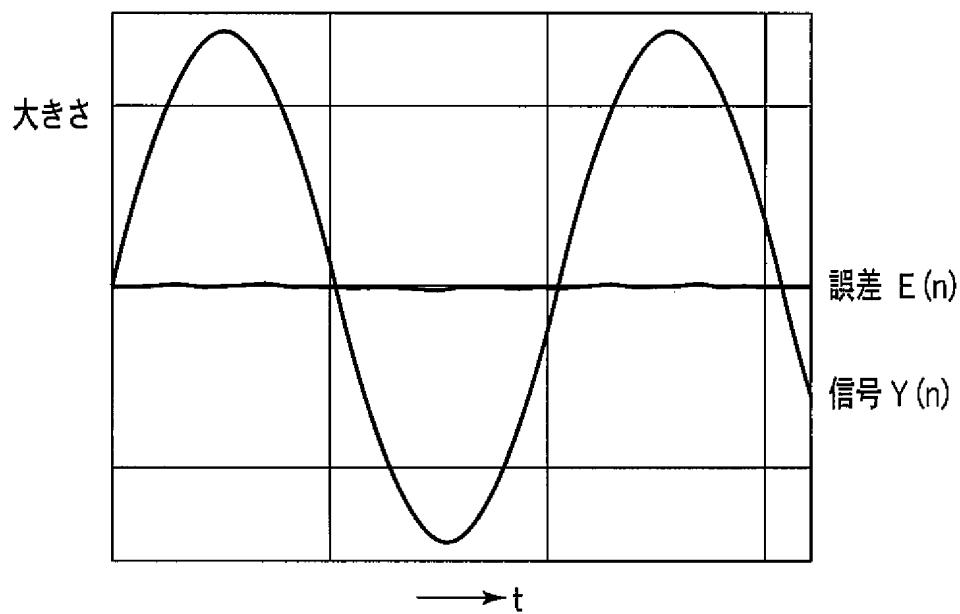
[図15]



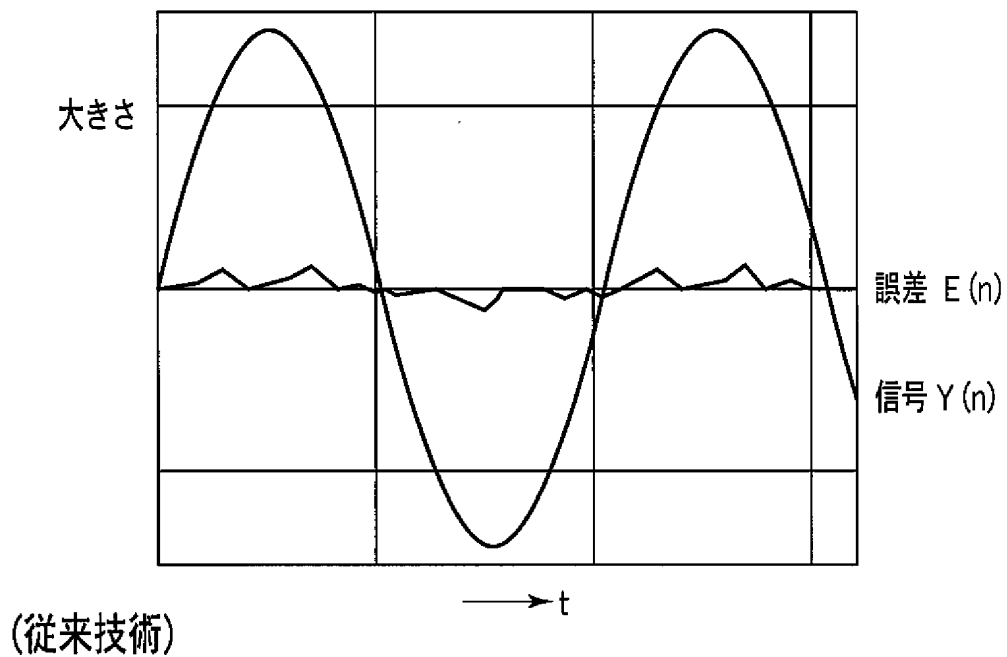
[図16]



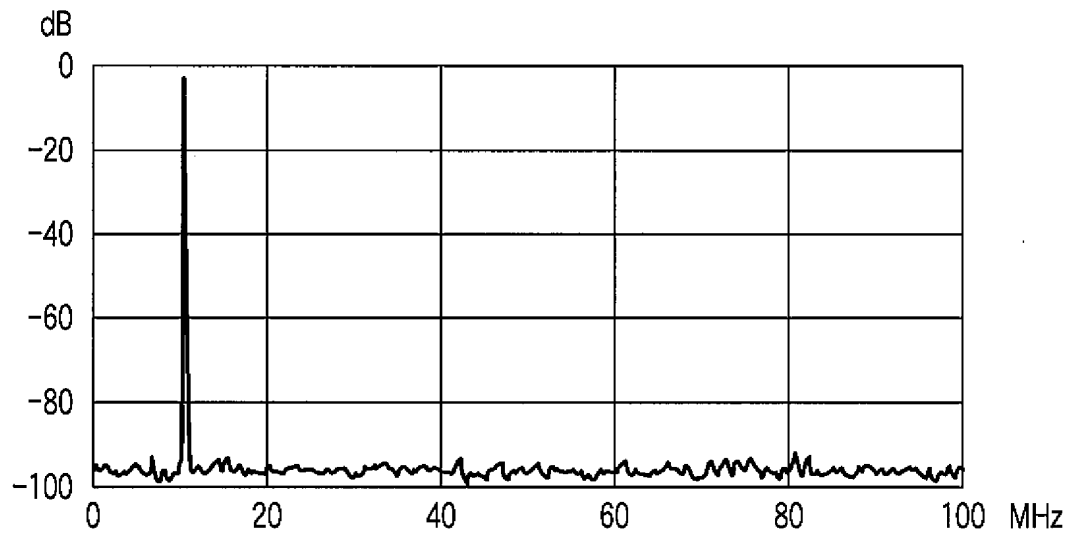
[図17A]



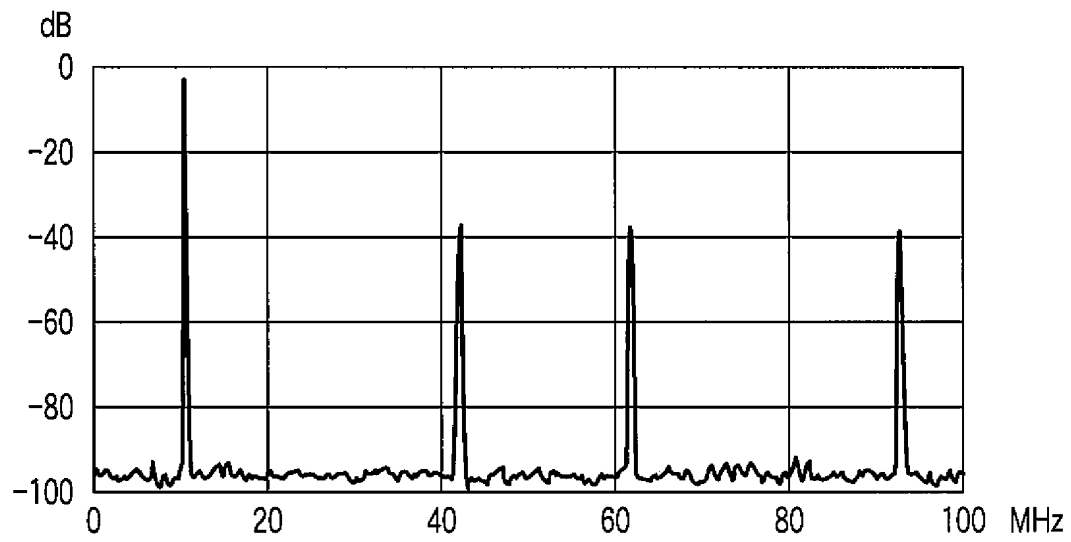
[図17B]



[図18A]

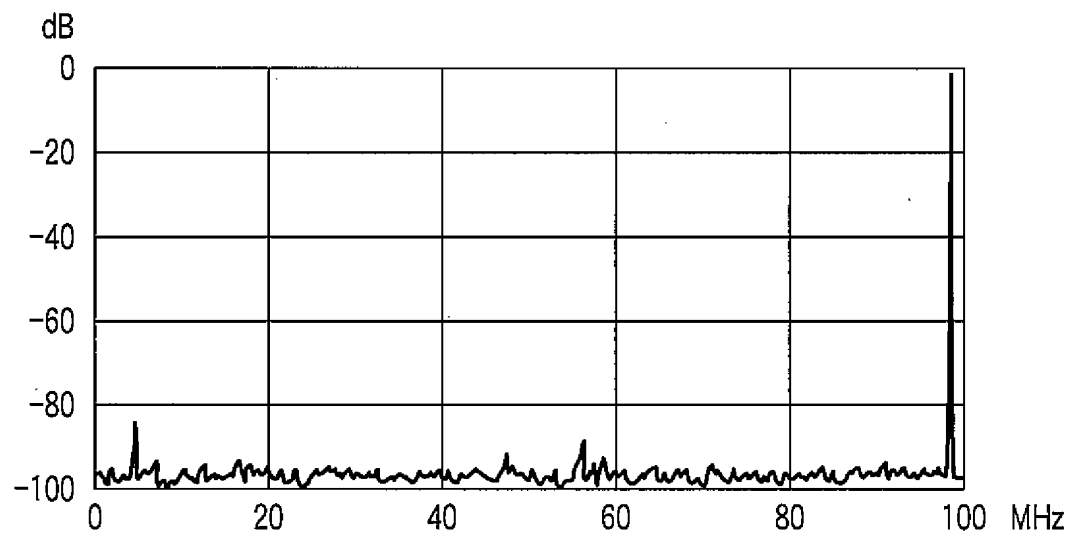


[図18B]

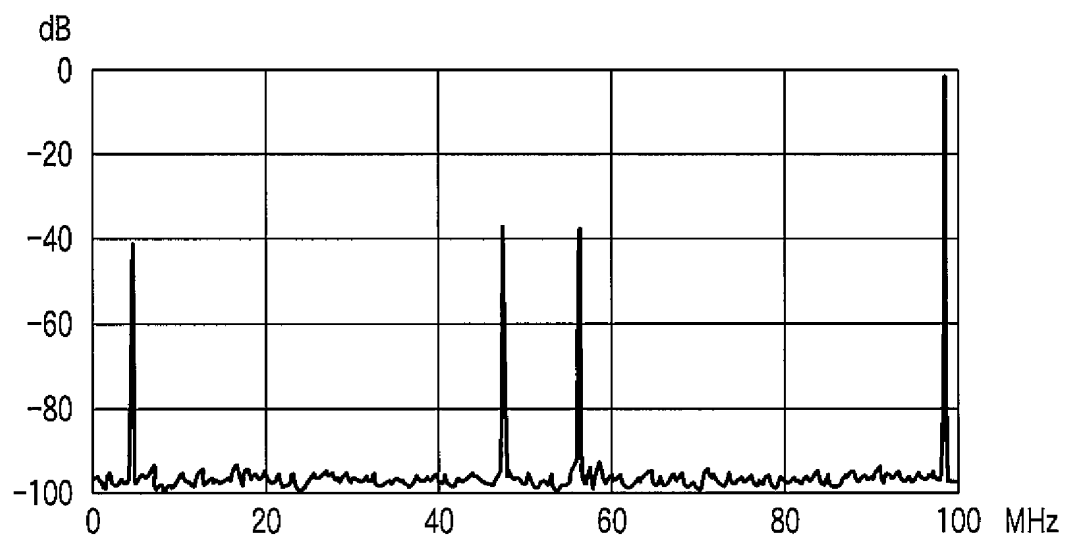


(従来技術)

[図19A]

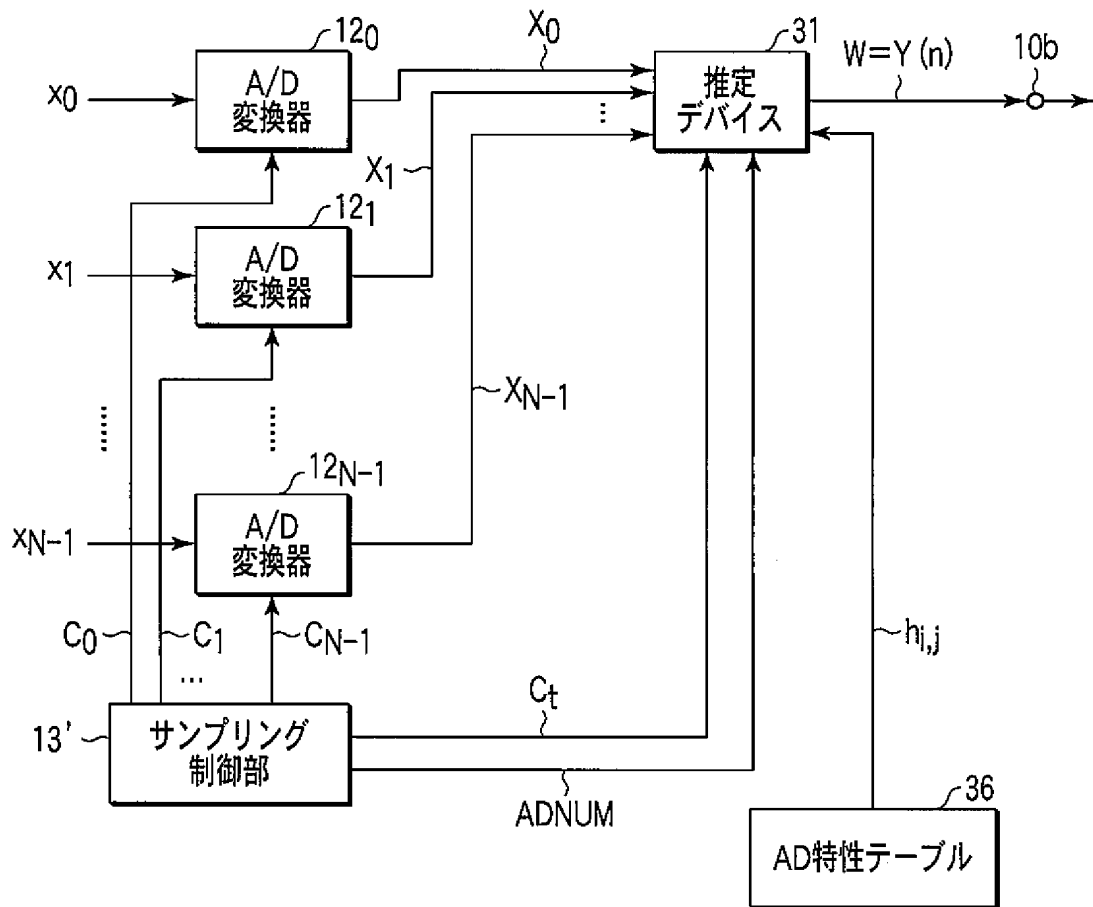


[図19B]

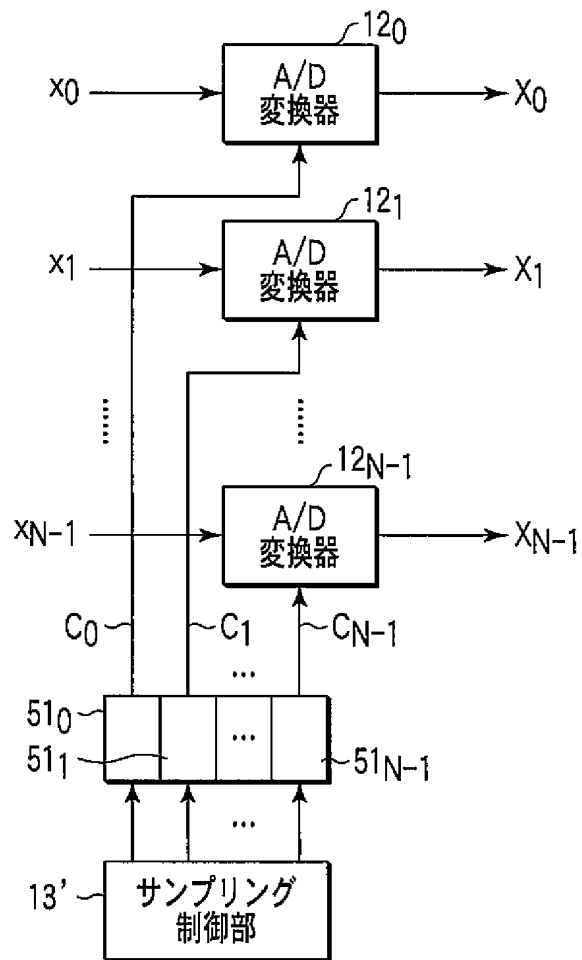


(従来技術)

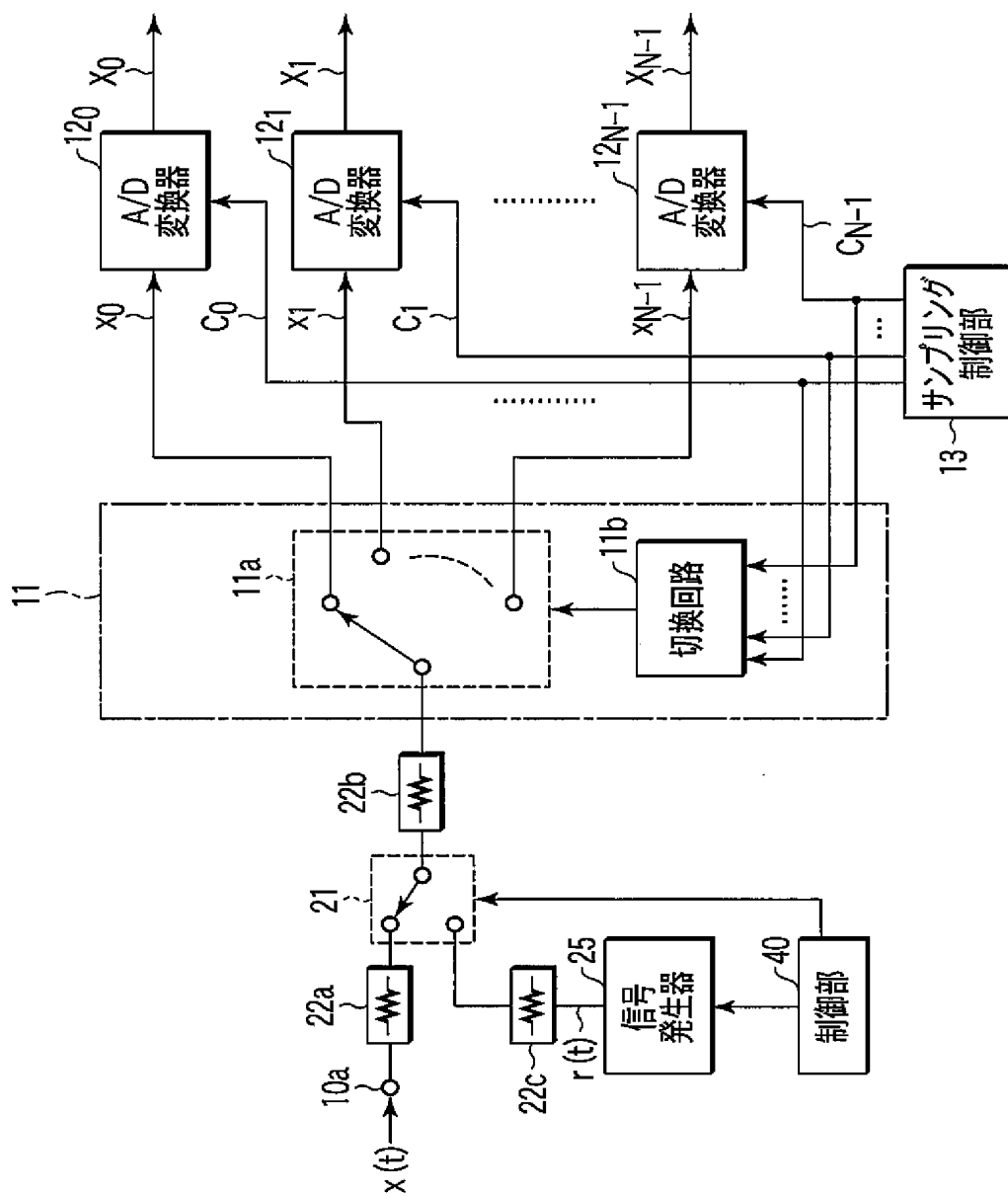
[図20]



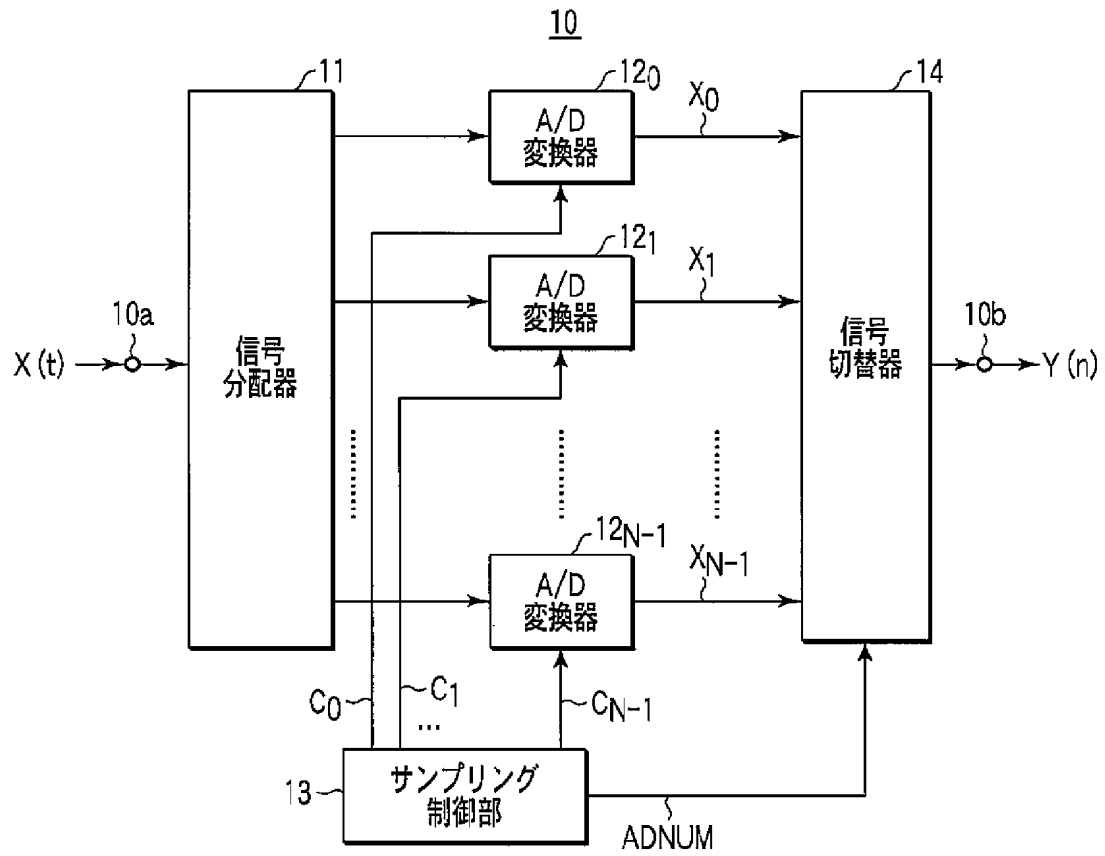
[図21]



[図22]

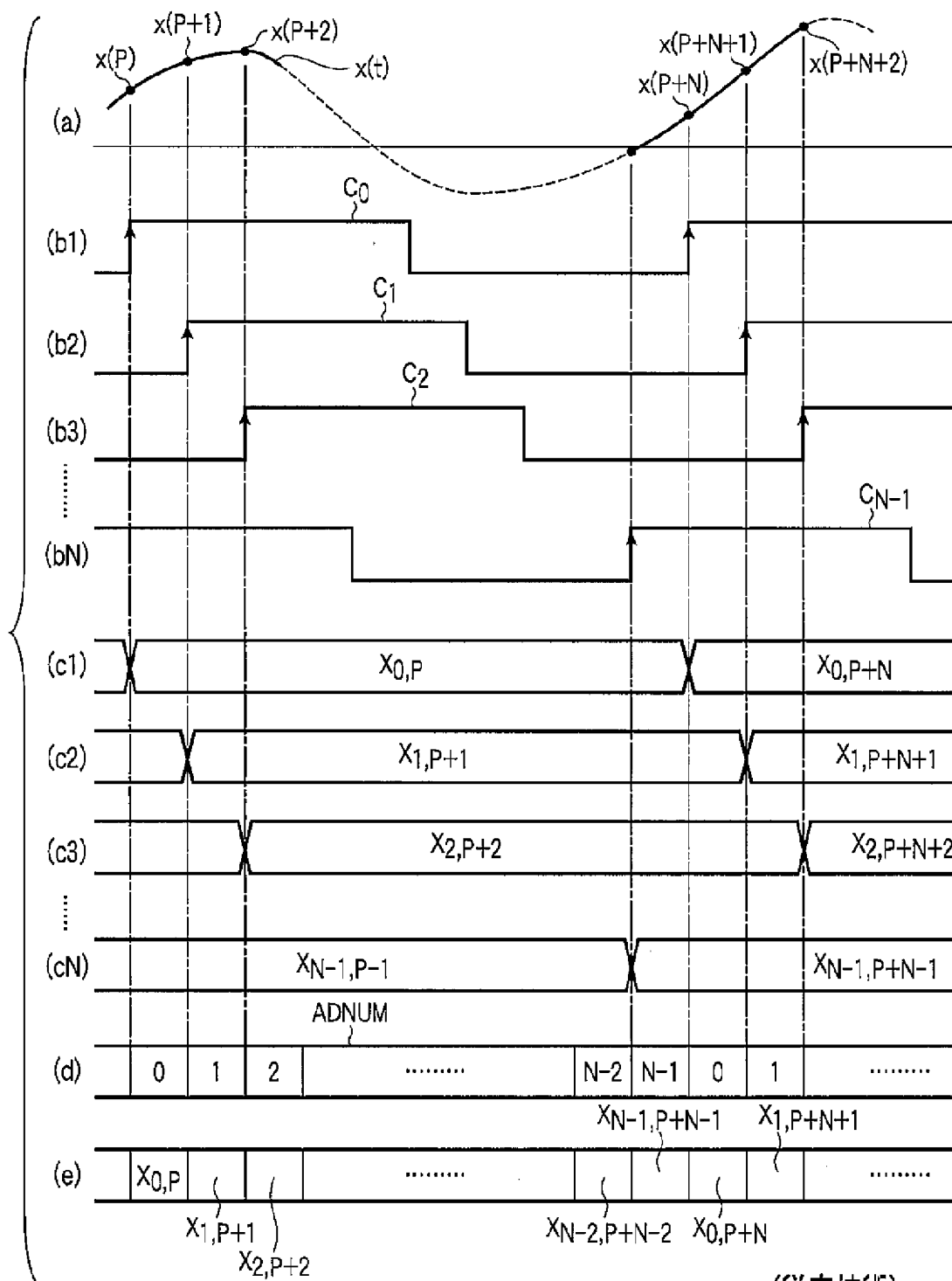


[図23]



(従来技術)

[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/023676

A. CLASSIFICATION OF SUBJECT MATTER H03M1/10 (2006.01) , H03M1/12 (2006.01)										
According to International Patent Classification (IPC) or to both national classification and IPC										
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03M1/00 (2006.01) - H03M1/88 (2006.01)										
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <table style="width: 100%; border: none;"> <tr> <td style="width: 33%;">Jitsuyo Shinan Koho</td> <td style="width: 33%;">1922-1996</td> <td style="width: 33%;">Jitsuyo Shinan Toroku Koho</td> <td style="width: 33%;">1996-2006</td> </tr> <tr> <td>Kokai Jitsuyo Shinan Koho</td> <td>1971-2006</td> <td>Toroku Jitsuyo Shinan Koho</td> <td>1994-2006</td> </tr> </table>			Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006	Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006
Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006							
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006							
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)										
C. DOCUMENTS CONSIDERED TO BE RELEVANT										
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.								
A	JP 2002-246910 A (Advantest Corp.) , 30 August, 2002 (30.08.02) , Full text; all drawings & US 2004/0032385 A1 & WO 2002/067430 A1	1-21								
A	JP 06-152410 A (Advantest Corp.) , 31 May, 1994 (31.05.94) , Full text; all drawings (Family: none)	1-21								
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.										
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family									
Date of the actual completion of the international search 16 February, 2006 (16.02.06)	Date of mailing of the international search report 28 February, 2006 (28.02.06)									
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer									
Facsimile No.	Telephone No.									

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03M1/10(2006.01), H03M1/12(2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03M1/00(2006.01) - H03M1/88(2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-246910 A (株式会社アドバンテスト) 2002.08.30, 全文全図参照 & US 2004/0032385 A1 & WO 2002/067430 A1	1-21
A	JP 06-152410 A (株式会社アドバンテスト) 1994.05.31, 全文全図参照 (ファミリーなし)	1-21

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

16.02.2006

国際調査報告の発送日

28.02.2006

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柳下 勝幸

電話番号 03-3581-1101 内線 3596

5X

9561